

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-359378

(43)Date of publication of application : 13.12.2002

(51)Int.Cl.

H01L 29/872  
H01L 21/06  
H01L 21/265  
H01L 21/331  
H01L 21/336  
H01L 21/822  
H01L 29/161  
H01L 29/737  
H01L 29/74  
H01L 29/78  
H01L 29/80

(21)Application number : 2001-302562

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.09.2001

(72)Inventor : IMAI SEIJI  
SHINOHE TAKASHI

(30)Priority

Priority number : 2001094149

Priority date : 28.03.2001

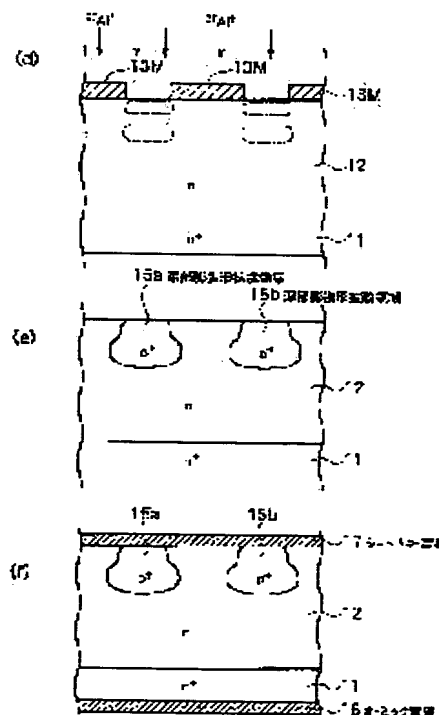
Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To actualize a deep expansion type diffusion area at low cost without increasing the number of processes as much as possible.

SOLUTION: On the surface of an n-type epitaxial growth layer 12, a mask 13M for ion implantation is formed. The mask 13M for ion implantation is used to perform the selective ion implantation of boron (11B+) deep into the n-type epitaxial growth layer 12. Further, the mask 13M for ion implantation is used to carry out the selective ion implantation of aluminum (27Al+) shallower than the boron. Then p-type deep expansion diffusion areas 15a and 15b are formed by activating heat-treatment. The diffusion areas 15a and 15b increase in lateral diffusion width perpendicular to the depth toward an ohmic contact area 11.



## LEGAL STATUS

[Date of request for examination]

14.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 3692063

[Date of registration] 24.06.2005

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-359378

(P2002-359378A)

(43) 公開日 平成14年12月13日 (2002. 12. 13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 29/872		H 0 1 L 29/78	6 5 2 H 4 M 1 0 4
21/06			6 5 2 S 5 F 0 0 3
21/265			6 5 2 T 5 F 0 0 5
21/331			6 5 3 A 5 F 1 0 2
21/336		29/48	D 5 F 1 4 0
審査請求 未請求 請求項の数 8 O L (全 32 頁) 最終頁に続く			

(21) 出願番号 特願2001-302562 (P2001-302562)  
(22) 出願日 平成13年9月28日 (2001. 9. 28)  
(31) 優先権主張番号 特願2001-94149 (P2001-94149)  
(32) 優先日 平成13年3月28日 (2001. 3. 28)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(72) 発明者 今井 聖支  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内  
(72) 発明者 四戸 幸  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内  
(74) 代理人 100083806  
弁理士 三好 秀和 (外7名)

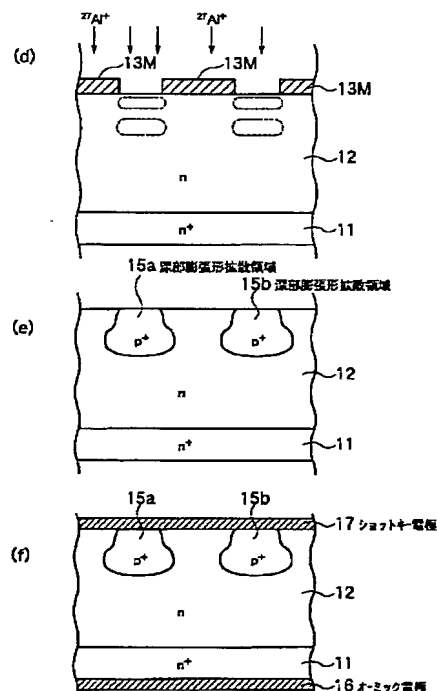
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 できるだけ工程数を増やすことなく又安価なコストで、深部膨張形拡散領域を実現する。

【解決手段】 n型エピタキシャル成長層12の表面にイオン注入用マスク13Mを形成する。イオン注入用マスク13Mを用いて、n型エピタキシャル成長層12の深い位置に、ボロン ( $^{11}\text{B}^+$ ) の選択イオン注入を行う。更に、イオン注入用マスク13Mを用いて、n型エピタキシャル成長層12の表面から、ボロンよりも浅い位置にアルミニウム ( $^{27}\text{Al}^+$ ) の選択イオン注入を行う。その後、活性化熱処理により、p型の深部膨張形拡散領域15a、15bを形成する。深部膨張形拡散領域15a、15bは、オーミックコンタクト領域11に近づくに従い、深さ方向に垂直方向の横方向の拡散幅が広くなるようにされている。



**THIS PAGE BLANK (USPTO)**

【特許請求の範囲】

【請求項 1】 第 1 導電型のオーミックコンタクト領域と、

該オーミックコンタクト領域の上部に設けられ、該オーミックコンタクト領域よりも低不純物濃度で、2. 2 eV よりも禁制帯の広い広禁制帯幅材料からなる第 1 導電型のドリフト領域と、

該ドリフト領域の表面に頂部を露出して、該ドリフト領域の内部に設けられ、前記ドリフト領域の表面から前記オーミックコンタクト領域に向かって、水平方向断面積が次第に広がるようにされた複数の第 2 導電型の深部膨張形拡散領域と、

前記ドリフト領域の表面に接して設けられた前記ドリフト領域とショットキー接合をなすショットキー電極とを具備することを特徴とする半導体装置。

【請求項 2】 第 1 導電型若しくは第 2 導電型の第 1 主電極領域と、

該第 1 主電極領域の上部に設けられ、該第 1 主電極領域よりも低不純物濃度で、2. 2 eV よりも禁制帯の広い広禁制帯幅材料からなる第 1 導電型のドリフト領域と、該ドリフト領域の表面に頂部を露出して、該ドリフト領域の内部に設けられ、前記ドリフト領域の表面から前記オーミックコンタクト領域に向かって、水平方向断面積が次第に広がるようにされた複数の第 2 導電型の深部膨張形拡散領域と、

前記ドリフト領域の表面に頂部を露出して、前記複数の深部膨張形拡散領域に挟まれて前記ドリフト領域の内部に設けられた第 1 導電型の第 2 主電極領域とを備え、前記深部膨張形拡散領域のそれぞれは、前記第 1 及び第 2 主電極領域間を流れる電流を制御する制御電極領域として機能することを特徴とする半導体装置。

【請求項 3】 前記複数の深部膨張形拡散領域の間に、第 2 導電型のベース領域を更に備えることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 第 1 導電型若しくは第 2 導電型の第 1 主電極領域と、

該第 1 主電極領域の上部に設けられ、該第 1 主電極領域よりも低不純物濃度で、2. 2 eV よりも禁制帯の広い広禁制帯幅材料からなる第 1 導電型のドリフト領域と、該ドリフト領域の表面に配置された第 2 導電型の複数のボディ領域と、

該ボディ領域の表面に配置された第 1 導電型の第 2 主電極領域と、

該第 2 主電極領域の表面から前記第 1 主電極領域の方向に向かって掘られ前記ボディ領域を貫通し前記ドリフト領域に達する複数のトレンチと、

該複数のトレンチの内壁に形成されたゲート絶縁膜と、前記複数のトレンチの内部において、前記ゲート絶縁膜の表面に配置されたゲート電極と、

前記複数のトレンチの下部の前記ドリフト領域の内部に

設けられ、前記トレンチの底部から前記第 1 主電極領域領域に向かって、それぞれ水平方向断面積が次第に広がるようにされ、電界緩和領域として機能する複数の第 2 導電型の深部膨張形拡散領域とを含むことを特徴とする半導体装置。

【請求項 5】 2. 2 eV よりも禁制帯の広い広禁制帯幅材料からなる第 1 導電型のドリフト領域と、該ドリフト領域の表面に配置された第 2 導電型の複数のボディ領域と、

該ボディ領域から離間し、前記ドリフト領域よりも高不純物濃度で、前記ドリフト領域の表面に配置された第 1 導電型若しくは第 2 導電型の第 1 主電極領域と、該ボディ領域の表面に配置された第 1 導電型の第 2 主電極領域と、

該第 2 主電極領域の表面から前記ボディ領域を貫通し前記ドリフト領域に達する複数のトレンチと、

該複数のトレンチの内壁に形成されたゲート絶縁膜と、前記複数のトレンチの内部において、前記ゲート絶縁膜の表面に配置されたゲート電極と、

前記複数のトレンチの下部の前記ドリフト領域の内部に設けられ、前記トレンチの底部から前記ボディ領域をから離れる方向に向かって、それぞれ水平方向断面積が次第に広がるようにされ、電界緩和領域として機能する複数の第 2 導電型の深部膨張形拡散領域とを含むことを特徴とする半導体装置。

【請求項 6】 前記複数の深部膨張形拡散領域のそれぞれは、

第 1 の不純物元素を含む上部領域と、

該上部領域の下部に位置し、前記第 1 の不純物元素よりも前記広禁制帯幅材料中における拡散係数の大きな第 2 の不純物元素を含む下部領域とからなることを特徴とする請求項 1～5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 2. 2 eV よりも禁制帯の広い広禁制帯幅材料からなる第 1 導電型の半導体領域の表面にイオン注入用マスクを形成する工程と、

該イオン注入用マスクを用いて、前記半導体領域中に第 2 導電型を呈する第 1 不純物イオンを加速エネルギーを変えながら複数回注入する深部イオン注入工程と、

前記イオン注入用マスクを用いて、前記第 1 不純物イオンよりも前記半導体領域中における拡散係数が小さい第 2 不純物イオンを、前記第 1 不純物イオンの射影飛程よりも浅い位置に、加速エネルギーを変えながら複数回注入する浅部イオン注入工程と、

熱処理工程により、前記第 1 及び第 2 不純物イオンを電気的に活性化し、前記半導体領域の内部に深部膨張形拡散領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 8】 前記広禁制帯幅材料が炭化珪素 (SiC) であり、前記第 1 不純物イオンがボロン (B)、前記第 2 不純物イオンがアルミニウム (Al) であること

**THIS PAGE BLANK (JSPTO)**

を特徴とする請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、広禁制帯幅半導体（ワイドギャップ半導体）材料を用いた高耐圧且つ低電流損失である半導体装置に関する。

【0002】

【従来の技術】半導体産業において早くから研究され、実用化進んだシリコン（禁制帯幅 $E_g$  = 約1.1 eV）や砒化ガリウム（禁制帯幅 $E_g$  = 約1.4 eV）等の通常の禁制帯幅 $E_g$ を有する半導体材料に比し、禁制帯幅 $E_g$ の広い半導体材料を広禁制帯幅半導体（ワイドギャップ半導体）と呼ぶ。例えば、禁制帯幅 $E_g$  = 約2.2 eVのテルル化亜鉛（ZnTe）、禁制帯幅 $E_g$  = 約2.4 eVの硫化カドミウム（CdS）、禁制帯幅 $E_g$  = 約2.7 eVのセレン化亜鉛（ZnSe）、禁制帯幅 $E_g$  = 約3.4 eVの窒化ガリウム（GaN）、禁制帯幅 $E_g$  = 約3.7 eVの硫化亜鉛（ZnS）、及び禁制帯幅 $E_g$  = 約5.5 eVのダイヤモンドがワイドギャップ半導体としてあげられる。又、炭化珪素（SiC）も、ワイドギャップ半導体の一例である。SiCの禁制帯幅 $E_g$ は、3C-SiCで2.23 eV、6H-SiCで2.93 eV、4H-SiCで3.26 eV程度の値が報告されている。

【0003】ワイドギャップ半導体は、一般に熱的、化学的、機械的に安定で、耐放射線性にも優れている。特にSiCは、これらの特性に優れ、発光素子や高周波デバイスとは勿論のこと、高温、大電力、放射線照射等の過酷な条件で、高い信頼性と安定性を示す電力用半導体装置（パワーデバイス）として様々な産業分野での適用が期待されている。

【0004】このような、ワイドギャップ半導体は、禁制帯幅 $E_g$ が広くなれば広がる程、絶縁体としての性質に近づくので、不純物をドーピングして低い抵抗率を得るのが困難になる。一般に、ワイドギャップ半導体においては、再現性及び信頼性の高い「良導電」材料を得ることが困難であるのが現状である。例えば、青色発光ダイオード用の材料としては、ウルツ鉱構造のIII-V族の半導体であるGaN、II-VI族のZnSeなどが、有望な材料として、早くから精力的な研究が進められてきた。その研究課題は、特にp型伝導性の制御を実現することにあった。ワイドギャップ半導体においてp型の価電子制御が困難であるのは、自己補償効果によるものと考えられてきた。ZnSeにドナー不純物を導入する場合を例にすると、ドナー不純物を導入するとダブルアクセプタの働きをするZn空孔が自然に形成され、ドナー不純物の導入によって形成された伝導帯の電子を自発的に補償するという現象である。この現象が起こるためには、Zn空孔の発生エンタルピー $\Delta H_v$  (Zn)が、2個の電子が、アクセプタに落ち込む時放出されるエネルギー

の合計、 $\Delta E$ とくらべて小さければ良い。今、ドナーとZn空孔へのキャリアの束縛エネルギーを無視すると、 $\Delta E$ は、およそ禁制帯幅 $E_g$ の2倍となる。このため、自己補償効果は、ギャップ（禁制帯幅 $E_g$ ）の広い半導体ほど顕著に起こると考えられる。このため、長い間、ワイドギャップ半導体材料において、p型伝導を実現することは、本質的な困難があると考えられていた。一方、このような問題は、禁制帯幅 $E_g$  = 約1.1 eVのSiや禁制帯幅 $E_g$  = 1.4 eVのGaAs等の半導体材料においては、全く問題にならない。従って、Si、GaAs等の半導体材料は、種々の半導体装置用の材料として、実用化が進んでいる。

【0005】特に、SiCを用いた高耐圧の電力用半導体装置（パワーデバイス）は、Siを用いたパワーデバイスよりもオン抵抗が低いことが報告されている。又、SiCを用いたショットキーダイオードの順方向降下電圧が低くなることが報告されている。良く知られているように、パワーデバイスのオン抵抗とスイッチング速度とは、トレード・オフ関係にある。しかし、SiCを用いたパワーデバイスによれば、低オン抵抗化と高速スイッチング速度化が同時に達成出来る可能性がある。

【0006】

【発明が解決しようとする課題】しかしSiCに対する不純物の拡散係数は、Si中の不純物の拡散係数に比較して約数千分の1と非常に小さい。このため、ブレドポジション（気相拡散）技術では無論のことイオン注入技術でも単純には $p^+$ 領域を所望の不純物濃度及び幾何学的形状に設計することは困難である。

【0007】半導体パワーデバイスの一つに、ジャンクション・バリア・ショットキーダイオード（以下、「JBSダイオード」と言う。）がある。このJBSダイオードは、通常のn型ショットキーダイオードにおいてショットキー電極下に複数の $p^+$ 領域を埋め込んだ構造を有している。JBSダイオードの特長は、逆方向特性において各 $p^+$ 領域から空乏層が伸びてピンチオフすることによりショットキー界面に加わる電界を緩和し逆方向のリーク電流を抑制することが出来る点にある。しかし一方で順方向特性においては、ショットキー電極下に複数の $p^+$ 領域を埋め込んでいるためキャリアの通過する領域が実効的に減少し、結果として順方向の抵抗が増加してしまうという問題がある。

【0008】そこで、耐圧及び漏れ電流等の逆方向特性を損なうことなく、又順方向の抵抗を十分に引き下げるための新規な構造が待望されている。しかし、SiCにおいては、上述したように、プロセス技術、特に拡散技術が未開発であるため、JBSダイオードの構造を所望の構造に実現することは容易ではない。そこで、SiCを用いたJBSダイオードにおいて、出来るなら工程数を増やすことなく、又安価な製造コストで上記のような要求を満足する構造の実現が強く求められているのが現

**THIS PAGE BLANK (USPTO)**



状である。

【0009】また上に述べたSiCを用いたJBSダイオードの問題は、別の半導体パワーデバイスである静電誘導型トランジスタ(SIT)のゲート領域の形状に係る課題と共通している。SITには埋め込みゲート型、表面ゲート型、切り込みゲート型等の種々の構造が知られている。この内、表面ゲート型SITでは、基板表面にソース領域を挟む形で一对のゲート領域が対向するように形成される。一对のゲート領域で挟まれた領域がチャンネル領域となる。ソース領域とドレイン領域の間を流れる主電流は、ソース領域の前面のチャンネル領域に形成された電位障壁の高さをゲート領域に印加する電圧で静電的に制御される。この表面ゲート型SITにおいても、先ほど述べたJBSダイオードと同様に、特性を改善するための構造が検討されている。新規な構造を採用することにより、より小さなゲート電圧でドリフト領域に空乏層を効果的に伸ばしてノーマリ・オフ型の特性を得やすくするとともに、ソース・ドレイン間の順方向抵抗を十分に引き下げる事が出来る構造が待望されている。しかし、SiCを用いた表面ゲート型SITにおいても、工程数を増やすことなく又安価な製造コストで、所望のデバイス構造を実現する技術が十分に見出されていないのが現状である。

【0010】上記問題点を鑑み、本発明は、高耐圧で、逆方向漏れ電流が少なく、且つ順方向電圧降下の小さい半導体装置及びその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を鑑み、本発明の第1の特徴は、第1導電型のオーミックコンタクト領域、このオーミックコンタクト領域の上部に設けられた広禁制帯幅材料からなる第1導電型のドリフト領域、このドリフト領域の内部に設けられた複数の第2導電型の深部膨張形拡散領域、ドリフト領域の表面に接して設けられたドリフト領域とショットキー接合をなすショットキー電極とからなる半導体装置であることを要旨とする。複数の第2導電型の深部膨張形拡散領域は、JBSダイオードの構造を構成している。即ち、複数の第2導電型の深部膨張形拡散領域を備えることにより、逆方向特性において各深部膨張形拡散領域から空乏層が、ドリフト領域中に伸びて互いにピンチオフすることによりショットキー界面に加わる電界が緩和される。このため、逆方向のリーク電流を抑制することが出来る。尚、以下の第2～第5の特徴においても同様であるが、本発明において、「広禁制帯幅材料」とは、2.2eVよりも禁制帯の広い半導体材料を意味する。ドリフト領域は、オーミックコンタクト領域よりも低不純物濃度である。深部膨張形拡散領域のそれぞれは、ドリフト領域の表面からオーミックコンタクト領域に向かって、水平方向断面積が次第に広くなるようにされている。例えば台

形円錐状や鏡餅形状である。深部膨張形拡散領域は、ドリフト領域の表面に頂部を露出している。第1導電型と第2導電型とは互いに反対導電型である。即ち、第1導電型がn型であれば、第2導電型はp型であり、第1導電型がp型であれば、第2導電型はn型である。

【0012】本発明の第1の特徴によれば、深部膨張形拡散領域の水平方向断面積をドリフト領域の内部において、深くなるに従って、拡げているので、JBSダイオードにおいては耐圧、漏れ電流等の逆方向特性を損なうことなく、順方向の抵抗を十分に引き下げることが出来る。

【0013】本発明の第1の特徴において、複数の深部膨張形拡散領域のそれぞれは、上部領域と上部領域の下部に位置する下部領域とからなることが好ましい。上部領域は、第1の不純物元素を含む。一方、下部領域は、第1の不純物元素よりも広禁制帯幅材料中における拡散係数の大きな第2の不純物元素を含む。

【0014】本発明の第2の特徴は、第1主電極領域、この第1主電極領域の上部に設けられた広禁制帯幅材料からなる第1導電型のドリフト領域、このドリフト領域の内部に設けられた複数の第2導電型の深部膨張形拡散領域、複数の深部膨張形拡散領域に挟まれてドリフト領域の内部に設けられた第1導電型の第2主電極領域とから構成された半導体装置であることを要旨とする。本発明の第1の特徴と同様に、深部膨張形拡散領域のそれぞれは、ドリフト領域の表面から第1主電極領域に近づくに従い、水平方向断面積が次第に広くなるような3次元形状を有する。この深部膨張形拡散領域のそれぞれは、第1及び第2主電極領域間を流れる電流を制御する制御電極領域として機能する。「第1主電極領域」とは、バイポーラトランジスタ(BJT)や絶縁ゲート型バイポーラトランジスタ(IGBT)においてエミッタ領域又はコレクタ領域のいずれか一方となる半導体領域を意味する。電界効果トランジスタ(FET)や静電誘導トランジスタ(SIT)においてはソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。静電誘導サイリスタ(SIサイリスタ)やゲートターンオフサイリスタ(GTOサイリスタ)では、アノード領域又はカソード領域のいずれか一方となる半導体領域を意味する。「第2主電極領域」とは、BJT、IGBT等においては上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方となる半導体領域、FET、SITにおいては上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。又、SIサイリスタ、GTOサイリスタでは、「第2主電極領域」は、上記第1主電極領域とはならないアノード領域又はカソード領域のいずれか一方となる半導体領域を意味する。即ち、第1主電極領域が、エミッタ領域であれば、第2主電極領域はコレクタ領域であり、第1主電極領域がソース領域

**THIS PAGE BLANK (USPTO)**

であれば、第2主電極領域はドレイン領域であり、第1主電極領域がカソード領域であれば、第2主電極領域はアノード領域を意味する。又、「制御電極領域」とは第1主電極領域及び第2主電極領域の間を流れる電流を制御する半導体領域、ショットキー接合領域、絶縁ゲート構造の領域又は構造を意味する。例えば、IGBT、FET、SIT、SIサイリスタ、GTOサイリスタでは、ゲート領域、若しくはゲート構造を意味し、BJTでは外部ベース領域（ベース電極取り出し領域）を含むベース領域を意味する。

【0015】第1導電型と第2導電型とは互いに反対導電型である。即ち、第1導電型がn型であれば、第2導電型はp型であり、第1導電型がp型であれば、第2導電型はn型である。第1主電極領域は、第1導電型でも第2導電型でも構わない。ドリフト領域は、第1主電極領域よりも低不純物濃度である。深部膨張形拡散領域及び第2主電極領域は、ドリフト領域の表面に頂部を露出するように配置されている。

【0016】本発明の第2の特徴によれば、深部膨張形拡散領域の幅、3次的に言えば水平方向の断面積を、ドリフト領域の内部において、深くなるに従って、次第に広げているので、半導体装置の制御電極領域に係る耐圧特性を損なうことなく、順方向の抵抗を十分に引き下げることが出来る。

【0017】本発明の第2の特徴において、複数の深部膨張形拡散領域の間に、第2導電型のベース領域を更に備えるようにしても良い。第2導電型のベース領域の不純物濃度を低くし、第1及び第2主電極領域の間がほとんどバンスルーするようにすれば、バイポーラモードSIT(BSIT)或いはノーマリオフ型SIサイリスタとして機能する。一方、第2導電型のベース領域の不純物濃度を第1及び第2主電極領域の間に中性領域が残るように高めに設定すれば、BJT或いはGTOサイリスタとして機能する。

【0018】又、本発明の第2の特徴において、複数の深部膨張形拡散領域のそれぞれは、第1の不純物元素を含む上部領域、及びこの上部領域の下部に位置し、第1の不純物元素よりも広禁制帯幅材料中における拡散係数の大きな第2の不純物元素を含む下部領域とからなるようにしておけば良い。

【0019】本発明の第3の特徴は、第1導電型若しくは第2導電型の第1主電極領域と、この第1主電極領域の上部に設けられ、この第1主電極領域よりも低不純物濃度で、広禁制帯幅材料からなる第1導電型のドリフト領域と、このドリフト領域の表面に配置された第2導電型の複数のボディ領域と、このボディ領域の表面に配置された第1導電型の第2主電極領域と、この第2主電極領域の表面から第1主電極領域の方向に向かって掘られた複数のトレンチと、この複数のトレンチの内壁に形成されたゲート絶縁膜と、複数のトレンチの内部におい

て、ゲート絶縁膜の表面に配置されたゲート電極と、複数のトレンチの下部のドリフト領域の内部に設けられ、トレンチの底部から第1主電極領域領域に向かって、それぞれ水平方向断面積が次第に広くなるようにされ、電界緩和領域として機能する複数の第2導電型の深部膨張形拡散領域とを含む半導体装置であることを要旨とする。ここで、「第1主電極領域」とは、絶縁ゲート型バイポーラトランジスタ(IGBT)においては、エミッタ領域又はコレクタ領域のいずれか一方となる半導体領域を意味する。絶縁ゲート型FETや絶縁ゲート型SITにおいてはソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。「第2主電極領域」とは、IGBT等においては上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方となる半導体領域、絶縁ゲート型FET、絶縁ゲート型SITにおいては上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。

【0020】本発明の第3の特徴によれば、深部膨張形拡散領域が、トレンチの底部近傍におけるゲート絶縁膜の電界強度を大幅に緩和し、より高い耐圧の絶縁ゲート型半導体装置を実現することが出来る。深部膨張形拡散領域が、ゲート絶縁膜に印加される電圧を均等に分担するためである。この結果、絶縁ゲート型半導体装置の信頼性も向上する。

【0021】又、本発明の第3の特徴において、複数の深部膨張形拡散領域のそれぞれは、第1の不純物元素を含む上部領域、及びこの上部領域の下部に位置し、第1の不純物元素よりも広禁制帯幅材料中における拡散係数の大きな第2の不純物元素を含む下部領域とからなるようにしておけば良いことは、第1及び第2の特徴と同様である。

【0022】本発明の第4の特徴は、広禁制帯幅材料からなる第1導電型のドリフト領域と、このドリフト領域の表面に配置された第2導電型の複数のボディ領域と、このボディ領域から離間し、ドリフト領域よりも高不純物濃度で、ドリフト領域の表面に配置された第1導電型若しくは第2導電型の第1主電極領域と、このボディ領域の表面に配置された第1導電型の第2主電極領域と、この第2主電極領域の表面からボディ領域を貫通しドリフト領域に達する複数のトレンチと、この複数のトレンチの内壁に形成されたゲート絶縁膜と、複数のトレンチの内部において、ゲート絶縁膜の表面に配置されたゲート電極と、複数のトレンチの下部のドリフト領域の内部に設けられ、トレンチの底部からボディ領域をから離れる方向に向かって、それぞれ水平方向断面積が次第に広くなるようにされ、電界緩和領域として機能する複数の第2導電型の深部膨張形拡散領域とを含む半導体装置であることを要旨とする。ここで、「第1主電極領域」とは、絶縁ゲート型バイポーラトランジスタ(IGBT

**THIS PAGE BLANK (USPTO)**

T)においては、エミッタ領域又はコレクタ領域のいずれか一方となる半導体領域を意味し、絶縁ゲート型FETや絶縁ゲート型SITにおいてはソース領域又はドレイン領域のいずれか一方となる半導体領域を意味することは、第3の特徴と同様である。したがって、「第2主電極領域」とは、IGBT等においては上記第1主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方となる半導体領域、絶縁ゲート型FET、絶縁ゲート型SITにおいては上記第1主電極領域とはならないソース領域又はドレイン領域のいずれか一方となる半導体領域を意味する。

【0023】本発明の第4の特徴によれば、第3の特徴と同様に、深部膨張形拡散領域が、トレンチの底部近傍におけるゲート絶縁膜の電界強度を大幅に緩和し、より高い耐圧の横型絶縁ゲート型半導体装置を実現することが出来る。深部膨張形拡散領域が、ゲート絶縁膜に印加される電圧を均等に分担するためである。この結果、横型絶縁ゲート型半導体装置の信頼性も向上する。又、本発明の第4の特徴に係る横型絶縁ゲート型半導体装置においては、第1及び第2主電極領域が、同じ側の面に設けられているため、モノリシックICとして集積化するのが容易である。又、ハイブリッドIC等に組み込んで用いる場合にも配線作業が簡単となる。又、表面配線や接続の自由度が増すことになり、設計が容易になる。

【0024】又、本発明の第4の特徴において、複数の深部膨張形拡散領域のそれぞれは、第1の不純物元素を含む上部領域、及びこの上部領域の下部に位置し、第1の不純物元素よりも広禁制帯幅材料中における拡散係数の大きな第2の不純物元素を含む下部領域とからなるようにしておけば良いことは、第1～第3の特徴と同様である。

【0025】本発明の第5の特徴は、(イ)広禁制帯幅材料からなる第1導電型の半導体領域の表面にイオン注入用マスクを形成する工程、(ロ)このイオン注入用マスクを用いて、半導体領域中に第2導電型を呈する第1不純物イオンを加速エネルギーを変えながら複数回注入する深部イオン注入工程、(ハ)イオン注入用マスクを用いて、第1不純物イオンよりも半導体領域中における拡散係数が小さい第2不純物イオンを、第1不純物イオンの射影飛程よりも浅い位置に、加速エネルギーを変えながら複数回注入する浅部イオン注入工程、(ニ)熱処理工程により、第1及び第2不純物イオンを電気的に活性化し、半導体領域の内部に深部膨張形拡散領域を形成する工程とを含む半導体装置の製造方法であることを要旨とする。

【0026】本発明の第5の特徴に係る半導体装置の製造方法によれば、第1～第4の特徴に係る半導体装置が簡単に製造出来る。

【0027】例えば、広禁制帯幅材料が炭化珪素(SiC)であれば、第1不純物イオンとして、ボロン

(B)、第2不純物イオンとして、アルミニウム(Al)を選べば良い。

【0028】

【発明の実施の形態】次に、図面を参照して、本発明の第1～第8の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参照して判断すべきものである。又図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0029】(第1の実施の形態)本発明の第1の実施の形態に係るJBSダイオードは、図2(f)に示すように、第1導電型のオーミックコンタクト領域(n型低抵抗SiC基板)11、このオーミックコンタクト領域11の上部に設けられた広禁制帯幅材料からなる第1導電型のドリフト領域(n型エピタキシャル成長層)12、このドリフト領域12の内部に設けられた複数の第2導電型の深部膨張形拡散領域15a、15b、ドリフト領域12の表面に接して設けられたドリフト領域12とショットキー接合をなすショットキー電極17とからなる。オーミックコンタクト領域(n型低抵抗SiC基板)11には、オーミック電極16が全面に形成されている。図2(f)に示す複数の第2導電型の深部膨張形拡散領域15a、15bは、JBSダイオードの構造を構成している。

【0030】ドリフト領域12は、オーミックコンタクト領域11よりも低不純物濃度である。深部膨張形拡散領域15a、15bのそれぞれは、ドリフト領域12の表面からオーミックコンタクト領域11に近づくに従い、水平方向断面積が次第に広くなるようにされている。図2(f)に示す構造によれば、深部膨張形拡散領域15a、15bの水平方向断面積をドリフト領域12の内部において、深くなるに従って、拡げているので、JBSダイオードにおいては耐圧、漏れ電流等の逆方向特性を損なうことなく、順方向の抵抗を十分に引き下げることが出来る。即ち、ショットキー接合の面積を十分広くとると同時に、深部膨張形拡散領域15a、15b相互間の良好なピンチオフ特性を実現している。

【0031】図2(f)に示す本発明の第1の実施の形態に係るJBSダイオードの製造方法を図1及び図2を用いて説明する：

(イ)最初に、図1(a)に示すように、不純物濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さ $300 \mu\text{m}$ のn型低抵抗SiC基板11上に、エピタキシャル成長法により不純物濃度 $3 \times 10^{15} \text{ cm}^{-3}$ 、厚さ $10 \mu\text{m}$ のn型エピタキシャル成長層12を形成する。但し、ここではn型不純物としては窒素(N)を用いるが、別の不純物、例えば燐(P)を用いても良い。

**THIS PAGE BLANK (USPTO)**

【0032】(ロ)次に、そのn型エピタキシャル成長層12の表面に金属膜13を真空蒸着法やスパッタリングにより堆積する。金属膜13として、例えばモリブデン(Mo)が使用可能である。そして、金属膜13の上にフォトリソレジスト膜(以下において、単に「レジスト」と略記する。)14をスピン塗布する。そして、フォトリソグラフィ技術により、図1(b)に示すように、レジスト14をパターニングする。そして、図1(b)に示すようにパターニングされたレジスト14をエッチングマスクとして用い、金属膜13をパターニングし、図1(c)に示すようなイオン注入用マスク13Mを形成する。金属膜13のパターニングは、反応性イオンエッチング(RIE)を用いれば良い。そして、このイオン注入用マスク13Mを用いて、図1(c)に示すように、n型エピタキシャル成長層12の表面から深い位置に、基板温度 $T_{sub}=700^{\circ}\text{C}$ 程度でボロン( $^{11}\text{B}^{+}$ )の選択イオン注入を行う(深部イオン注入工程)。ここで、ボロンは加速エネルギー $E_{acc}=100\sim200\text{keV}$ 、総ドーズ量 $\Phi=3\times10^{15}\text{cm}^{-2}$ の多段注入により、表面からの深さ $0.25\sim0.5\mu\text{m}$ の領域に不純物濃度 $1\times10^{20}\text{cm}^{-3}$ のボロン注入層を形成する。例えば:

第1イオン注入: $\Phi=6\times10^{14}\text{cm}^{-2}/E_{acc}=100\text{keV}$ ;

第2イオン注入: $\Phi=6\times10^{14}\text{cm}^{-2}/E_{acc}=130\text{keV}$ ;

第3イオン注入: $\Phi=6\times10^{14}\text{cm}^{-2}/E_{acc}=150\text{keV}$ ;

第4イオン注入: $\Phi=1.2\times10^{15}\text{cm}^{-2}/E_{acc}=200\text{keV}$ ;

のようにイオン注入する。

【0033】(ハ)更に、イオン注入用マスク13Mを用いて、図2(d)に示すように、n型エピタキシャル成長層12の表面から、ボロンの射影飛程よりも浅い位置にアルミニウム( $^{27}\text{Al}^{+}$ )の選択イオン注入を行う(浅部イオン注入工程)。アルミニウムは、基板温度 $T_{sub}=700^{\circ}\text{C}$ 程度で、加速エネルギー $E_{acc}=10\sim180\text{keV}$ 、総ドーズ量 $\Phi=2\times10^{15}\text{cm}^{-2}$ の多段注入にする。これにより、表面から深さ $0.25\mu\text{m}$ の領域に不純物濃度 $1\times10^{20}\text{cm}^{-3}$ のアルミニウム注入層を形成する。

【0034】(ニ)その後、基板温度 $T_{sub}=1600^{\circ}\text{C}$ 程度の活性化熱処理により、図2(e)に示すように、選択的にp型の深部膨張形拡散領域15a、15bを形成する。このとき深部膨張形拡散領域15a、15bのそれぞれの表面における幅は約 $2\mu\text{m}$ であり、又、対向する深部膨張形拡散領域15aと深部膨張形拡散領域15bに挟まれる表面付近のショットキー接合の幅は約 $2\mu\text{m}$ になるようにした。

【0035】(ホ)そして、n型低抵抗SiC基板11

の裏面にニッケル(Ni)を約 $1\mu\text{m}$ の厚さで蒸着する。更に、基板温度 $T_{sub}=1000^{\circ}\text{C}$ 程度のシンター処理により、図2(e)に示すようにオーミック電極(カソード電極)16を形成する。

【0036】(ヘ)次に、図2(f)に示すように、n型エピタキシャル成長層12と深部膨張形拡散領域15a、15bの表面には、チタン(Ti)を約 $200\text{nm}$ 、Alを約 $1\mu\text{m}$ の厚さに順次蒸着し、ショットキー電極(アノード電極)17を形成してJBSダイオードを完成する。

【0037】以上のように製造したJBSダイオードの電気的特性を評価した結果は、以下の通りである。耐圧 $1000\text{V}$ のJBSダイオードで、逆方向電圧 $700\text{V}$ 印加時の逆方向電流は $1\times10^{-6}\text{A}/\text{cm}^2$ 、そして順方向電流密度 $100\text{A}/\text{cm}^2$ のとき、順方向電圧 $1.7\text{V}$ となった。一方従来技術によるJBSダイオードでは同じ耐圧 $1000\text{V}$ で比較すると、順方向電圧は $2.5\text{V}$ 前後となる。したがって、本発明のJBSダイオードでは約 $0.8\text{V}$ の順方向電圧の低減が得られることになる。ここで、本発明により順方向電圧を約 $0.8\text{V}$ 低減出来た理由は、深部膨張形拡散領域15a、15bとn型エピタキシャル成長層12の間のpn接合からn型エピタキシャル成長層12へ拡がる空乏層のピンチオフ特性を実現すると同時に、有効なショットキー接合の面積を拡大出来たためである。有効なショットキー接合の面積が拡大されることにより、同一チップ面積のダイオードの順方向電圧降下を約 $0.8\text{V}$ 低減出来たことが分かる。

【0038】又、図2(f)に示すように深部膨張形拡散領域15a、15bの水平方向断面積を基板の内部に向かって深くなる構造の実現に際しては、質量の軽いボロンの方を深い射影飛程に注入しているため注入時の損傷を大幅に軽減出来る。その結果本発明のJBSダイオードにおいて耐圧、漏れ電流等の逆方向特性を損なうことなく、順方向の抵抗を十分に引き下げることが出来るのである。

【0039】(第2の実施の形態)本発明の第2の実施の形態に係る半導体装置は、図5(i)に示すような表面ゲート型SITである。即ち、本発明の第2の実施の形態に係る表面ゲート型SITは、第1主電極領域(n型低抵抗SiC基板)11、この第1主電極領域11の上部に設けられた広禁制帯幅材料からなる第1導電型のドリフト領域(n型エピタキシャル成長層)21、このドリフト領域21の内部に設けられた複数の第2導電型の深部膨張形拡散領域25a、25b、複数の深部膨張形拡散領域25a、25bに挟まれてドリフト領域21の内部に設けられた第1導電型の第2主電極領域35とから構成されている。本発明の第1の実施の形態と同様に、深部膨張形拡散領域25a、25bのそれぞれは、ドリフト領域21の表面から第1主電極領域11に

THIS PAGE BLANK (USPTO)



近づくに従い、水平方向断面積が次第に広くなるような3次元形状を有する。

【0040】より好ましくは、第2主電極領域35の外周面の曲率と、この第2主電極領域35に対向した深部膨張形拡散領域25a、25bの外周面の曲率が、雄/雌の関係で等しくなるようにしておけ良い。更に好ましくは、第2主電極領域35の有するポテンシャルプロファイルと、この第2主電極領域35に対向した深部膨張形拡散領域25a、25bのポテンシャルプロファイルが一様に連続するように、深部膨張形拡散領域25a、25bの曲率を選定しておけば良い。

【0041】深部膨張形拡散領域25a、25bのそれぞれは、第1及び第2主電極領域35間を流れる電流を制御する制御電極領域（ゲート領域）として機能する。第1主電極領域11は、表面ゲート型SITのドレイン領域として機能する。第2主電極領域35は、表面ゲート型SITのソース領域として機能する。複数の深部膨張形拡散領域25a、25bのそれぞれは、第1の不純物元素からなる上部領域、及びこの上部領域の下部に位置し、第1の不純物元素よりも広禁制帯幅材料中における拡散係数の大きな第2の不純物元素からなる下部領域とからなる。

【0042】第1主電極領域（ドレイン領域）11には、ドレイン電極43が、第2主電極領域（ソース領域）35には、ソース電極41が、オーミック接触されている。更に、深部膨張形拡散領域（ゲート領域）25a、25bのそれぞれには、ゲート電極45a、45bがオーミック接触されている。

【0043】SITは、FETを短チャネル化した極限にあるトランジスタと解することが出来る。即ち、FETのソース領域/ドレイン領域間がバンチング・スルーする程度に短チャネル化され、しかもチャネル中に、ドレイン電圧及びゲート電圧で制御可能な電位障壁が存在するデバイスであると定義出来る。具体的には、ソース・ドレイン間ポテンシャルと、ゲート電圧によるチャネル中のポテンシャルの2次元空間における鞍部点である電位障壁（ポテンシャル）の高さがドレイン電圧及びゲート電圧で制御されるデバイスである。電位障壁（ポテンシャル）は、深部膨張形拡散領域（ゲート領域）25a、25bのポテンシャルの影響を受けて、第2主電極領域（ソース領域）35の前面に形成される。電位障壁（ポテンシャル）の高さに依存してドレイン電流が流れるため、SITのドレイン電流・ドレイン電圧特性は真空管の三極管特性と同様な指数関数則に従った特性を示す。

【0044】後述するように、深部膨張形拡散領域25a、25bのそれぞれをドリフト領域21の表面から第1主電極領域11に近づくに従い、水平方向断面積が次第に広くなるような3次元形状を有するにしておけば、表面ゲート型SITの逆方向耐圧を高く維持した状態

で、順方向電圧降下も低く出来る。

【0045】図5(i)に示す表面ゲート型SITは、以下の手順で製造可能である：

(イ) 最初に、不純物濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さ $300 \mu\text{m}$ のn型低抵抗SiC基板11上にエピタキシャル成長法により不純物濃度 $3 \times 10^{15} \text{ cm}^{-3}$ 、厚さ $10 \mu\text{m}$ のn型エピタキシャル成長層21を形成する。但し、ここではn型不純物としては窒素を用いるが、別の不純物、例えば燐を用いても良い。

【0046】(ロ) 次に、そのn型エピタキシャル成長層21の表面に金属膜24を真空蒸着法やスパッタリングにより堆積する。金属膜24として、例えばMoが使用可能である。そして、金属膜24の上にレジストをスピン塗布する。そして、フォトリソグラフィ技術により、レジストをパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、金属膜24をパターニングし、図3(a)に示すようなイオン注入用マスク24を形成する。金属膜24のパターニングは、RIEを用いれば良い。そして、図3(a)に示すように、n型エピタキシャル成長層21の表面からイオン注入用マスク24を介して、深い位置に $^{11}\text{B}^+$ の選択イオン注入を行う（深部イオン注入工程）。ここで、 $^{11}\text{B}^+$ は、基板温度 $T_{\text{sub}} = 700^\circ\text{C}$ 程度で加速エネルギー $E_{\text{acc}} = 100 \sim 400 \text{ keV}$ 、総ドーズ量 $\Phi = 6 \times 10^{15} \text{ cm}^{-2}$ の多段注入する。この結果、表面からの深さ $0.25 \sim 0.8 \mu\text{m}$ の領域に不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$ の注入層が形成される。

【0047】(ハ) 次に、図3(b)に示すように、n型エピタキシャル成長層21の表面からイオン注入用マスク24をマスクとして $^{11}\text{B}^+$ の射影飛程よりも浅い位置に、 $^{27}\text{Al}^+$ の選択イオン注入を行う（浅部イオン注入工程）。 $^{27}\text{Al}^+$ は、基板温度 $T_{\text{sub}} = 700^\circ\text{C}$ 程度で、加速エネルギー $E_{\text{acc}} = 10 \sim 180 \text{ keV}$ 、総ドーズ量 $\Phi = 2 \times 10^{15} \text{ cm}^{-2}$ の多段注入する。この結果、表面から深さ $0.25 \mu\text{m}$ の領域に、不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$ の $^{27}\text{Al}^+$ 注入層が形成される。

【0048】(ニ) その後、イオン注入用マスク24を除去し基板温度 $T_{\text{sub}} = 1600^\circ\text{C}$ 程度の活性化熱処理により、図3(c)に示すように、選択的にp型深部膨張形拡散領域25a、25bを形成する。p型深部膨張形拡散領域25a、25bは、表面ゲート型SITのゲート領域である。このとき深部膨張形拡散領域25a、25bのそれぞれの幅は表面付近で約 $2 \mu\text{m}$ である。又、一対の型深部膨張形拡散領域25aと深部膨張形拡散領域25bに挟まれるチャネルの幅は表面付近で約 $1 \mu\text{m}$ になるようにする。

【0049】(ホ) 次にn型エピタキシャル成長層21の表面に、多結晶シリコンをCVD法で堆積する。そして、この多結晶シリコンを熱酸化することにより、図4(d)に示すように、n型エピタキシャル成長層21の

**THIS PAGE BLANK (USPTO)**

表面に、酸化膜91を形成する。この多結晶シリコンを熱酸化の際に、低抵抗SiC基板11の裏面にも、薄い酸化膜30が形成される。更に、酸化膜91の表面に第2金属膜32を真空蒸着法やスパッタリングにより堆積する。第2金属膜32として、例えばMoが使用可能である。そして、第2金属膜32の上にレジスト33をスピン塗布する。そして、フォトリソグラフィ技術により、レジスト33を、図4(e)に示すようにパターンニングする。そして、パターンニングされたレジスト33をエッチングマスクとして用い、第2金属膜32をパターニングし、図4(f)に示すようなイオン注入用第2マスク32Mを形成する。第2金属膜32のパターニングは、RIEを用いれば良い。第2金属膜32のRIEに続き、その下地の酸化膜91もRIEで選択的に除去し、n型エピタキシャル成長層21の表面の一部を露出させる。そして、イオン注入用第2マスク32Mを介して、図4(f)に示すように、基板温度 $T_{sub}=700^{\circ}\text{C}$ 程度で、 $^{31}\text{P}^{+}$ を加速エネルギー $E_{acc}=10\sim 200\text{keV}$ 、総ドーズ量 $\Phi=5\times 10^{15}\text{cm}^{-2}$ の条件で選択的に多段イオン注入する。その後、イオン注入用第2マスク32M及び酸化膜91を除去後、基板温度 $T_{sub}=1600^{\circ}\text{C}$ 程度の活性化熱処理により、図5(g)に示すように、表面から深さ約 $0.3\mu\text{m}$ の領域に不純物濃度 $1\times 10^{20}\text{cm}^{-3}$ のn型ソース領域35を形成する。

【0050】(へ)次に、基板表面に酸化膜31をCVD法等により形成した後、上記の記述と同様にパターンニングされたレジストをエッチングマスクとしてRIE等を用いて酸化膜31をパターンニングする。その後レジストを除去し、パターンニングされた酸化膜31の開口部をソースコンタクトホールとして利用する。その後、ソースコンタクトホールの開口された酸化膜31の表面をレジストでカバーして、低抵抗SiC基板11の裏面の薄い酸化膜30を希釈したフッ酸(HF)若しくは緩衝HF等でエッチングする。n型低抵抗SiC基板11の裏面には、第3金属膜43としてNi膜を約 $1\mu\text{m}$ の厚さで蒸着し、基板温度 $T_{sub}=1000^{\circ}\text{C}\sim 1200^{\circ}\text{C}$ 程度のシンター処理によりドレイン電極43を形成する。

【0051】(ト)次に、図5(h)に示すように、n型ソース領域35の表面に第4金属膜36として、Al膜を約 $1\mu\text{m}$ の厚さで蒸着する。そして、第4金属膜36の上にレジストをスピン塗布する。そして、フォトリソグラフィ技術により、ソース領域35の上部にレジストが残るように、レジストをパターンニングする。そして、パターンニングされたレジストをエッチングマスクとして用い、第4金属膜をエッチングし、図5(i)に示すような第4金属膜をソース領域35の上部に選択的に残す。そして、基板温度 $T_{sub}=1000^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ 程度のシンター処理によりソース電極41を形成する。

【0052】(チ)次に、ソース電極41及びソース電極41から露出した酸化膜31の上にレジストをスピン塗布する。そして、フォトリソグラフィ技術により、深部膨張形拡散領域(ゲート領域)25a、25bのそれぞれの上部に開口部を有するようにレジストをパターンニングする。そして、パターンニングされたレジストをエッチングマスクとして用い、酸化膜31を選択的にエッチングし、ゲート領域25a、25bの表面を露出させ、図5(i)に示すようなゲートコンタクトホールを開く。その後、表面の全面にTi膜を約 $200\text{nm}$ 、Al膜を約 $1\mu\text{m}$ の厚さで順次蒸着する。このAl膜の上にレジストをスピン塗布し、フォトリソグラフィ技術により、深部膨張形拡散領域(ゲート領域)25a、25bのそれぞれの上部にレジストを残すようにパターンニングする。そして、パターンニングされたレジストをエッチングマスクとして用い、図5(i)に示すようにAl膜、Ti膜を順次RIEで選択的にエッチングし、ゲート電極45a、45bのパターンを形成する。その後、基板温度 $T_{sub}=800\sim 1000^{\circ}\text{C}$ 、例えば $950^{\circ}\text{C}$ で5分程度シンター処理し、ゲート電極45a、45bのオーミック接触を良好なものにする。5分程度の短時間の熱処理を行うためには、赤外線(IR)ランプ加熱を用いれば良い。これで、表面ゲート型SITの概略工程は、終了する。

【0053】又ここでは、 $^{31}\text{B}^{+}$ と $^{27}\text{Al}^{+}$ について上記のようなイオン注入の条件を用いるが、更にゲートによるピンチオフを効果的に行うために加速エネルギー $E_{acc}$ とドーズ量 $\Phi$ を適当に調節してp型深部膨張形拡散領域26a、26bを図30に示すように略台形に形成することも可能である。上述したように深部膨張形拡散領域の深い位置に $^{27}\text{Al}^{+}$ と比較して数倍程度拡散係数が高い $^{31}\text{B}^{+}$ を意図的に注入しているため、図2に示すように活性化熱処理後には同深部膨張形拡散領域の幅を基板内部に向かって効果的に広げることが出来る。更に $^{31}\text{B}^{+}$ を深い位置に注入した別の利点としては、 $^{27}\text{Al}^{+}$ と比較して質量が軽いため注入時の損傷をより軽減出来、その結果としてピンチオフ時のリーク電流を大幅に抑制出来ることがあげられる。

【0054】以上のように製造した表面ゲート型SITの電気的特性を評価した結果は、以下の通りである。耐圧 $1000\text{V}$ の表面ゲート型SITで、ゲート電圧 $-30\text{V}$ 及びドレイン電圧 $600\text{V}$ 印加時のリーク電流は $1\times 10^{-6}\text{A}/\text{cm}^2$ 、又オン抵抗は $16\text{m}\Omega\text{cm}^2$ となった。一方従来技術による表面ゲート型SITでは同じ耐圧 $1000\text{V}$ と比較すると、オン抵抗は $26\text{m}\Omega\text{cm}^2$ 前後となる。したがって、本発明の第2の実施の形態に係る表面ゲート型SITでは約 $10\text{m}\Omega\text{cm}^2$ のオン抵抗の低減が得られることになる。ここで、本発明の第2の実施の形態に係る表面ゲート型SITによりオン抵抗を約 $10\text{m}\Omega\text{cm}^2$ 低減出来た理由は、同一のピンチ

**THIS PAGE BLANK (USPTO)**

オフ特性に比して、相対的にソース面積を拡大出来たからである。この結果、深部膨張形拡散領域15a、15bとn型エビタキシャル成長層12の間のpn接合からn型エビタキシャル成長層12へ広がる空乏層によって生じる寄生抵抗が約 $10\text{ m}\Omega\text{ cm}^2$ 低減されている。したがって第2の実施の形態に係る表面ゲート型SITのような構成をとることにより、上で説明したように深部膨張形拡散領域の幅を基板内部に向かって効果的に広げることが出来、又質量の軽い $^{11}\text{B}^+$ の方を深い位置に注入しているため注入時の損傷を大幅に軽減出来、その結果表面ゲート型SITにおいて耐圧、漏れ電流等のゲート耐圧特性を損なうことなく、順方向の抵抗を十分に引き下げることが出来るのである。又、表面ゲート型SITの電圧増幅率 $\mu$ は、隣接するゲート領域の間隔に依存するので、深部膨張形拡散領域25a、25bを用いることにより、電圧増幅率 $\mu$ を高くし、且つオン抵抗を低く出来る。

【0055】(第3の実施の形態) 図8(i)に示すように、本発明の第3の実施の形態に係る切り込みゲート型SITは、第1導電型の第1主電極領域(ドレイン領域)11、この第1主電極領域11の上部に設けられた広禁制帯幅材料からなる第1導電型のドリフト領域21、このドリフト領域21の表面から第1主電極領域11の方向に向かって掘られた複数のトレンチ48a、48b、……、複数のトレンチ48a、48b、……の底部においてドリフト領域21の内部に設けられた複数の第2導電型の深部膨張形拡散領域(ゲート領域)25a、25b、……、複数の深部膨張形拡散領域25a、25b、……に挟まれてドリフト領域21の内部に設けられた第1導電型の第2主電極領域(ソース領域)35a、35b、35c、……とから構成されている。本発明の第2の実施の形態と同様に、深部膨張形拡散領域25a、25b、……のそれぞれは、ドリフト領域21の表面から第1主電極領域11に向かう深さ方向において、第1主電極領域11に近づくに従い、深さ方向に垂直方向の横方向の拡散幅が広くなるような形状を有する。複数の深部膨張形拡散領域25a、25b、……のそれぞれは、第1の不純物元素からなる上部領域、及びこの上部領域の下部に位置し、第1の不純物元素よりも広禁制帯幅材料中における拡散係数の大きな第2の不純物元素からなる下部領域とからなる。第3の実施の形態においては、第1導電型としてn型を、又第2導電型としてp型を用いた場合について説明する。

【0056】第1主電極領域(ドレイン領域)11には、ドレイン電極43が、第2主電極領域(ソース領域)35a、35b、35c、……には、ソース電極41a、41b、41c、……が、オーミック接触されている。

【0057】図8(i)に示す切り込みゲート型SITは、以下の手順で製造可能である：

(イ) 最初に、不純物濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さ $300 \mu\text{m}$ のn型低抵抗SiC基板11上に、図6(a)に示すように、エビタキシャル成長法により不純物濃度 $3 \times 10^{15} \text{ cm}^{-3}$ 、厚さ $10 \mu\text{m}$ のn型エビタキシャル成長層(第1エビタキシャル成長層)21及び第1エビタキシャル成長層21の上の不純物濃度 $6 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 、厚さ $0.3 \mu\text{m} \sim 1 \mu\text{m}$ 程度の第2エビタキシャル成長層19を形成する。但し、ここではn型不純物としては窒素を用いるが、別の不純物、例えば燐を用いても良い。又窒素と燐等の複数の不純物を同時に用いても良い。第2エビタキシャル成長層19を形成する代わりに、n型第1エビタキシャル成長層21の表面に燐を基板温度 $T_{\text{sub}} = 700^\circ\text{C}$ 程度で加速エネルギー $E_{\text{acc}} = 10 \sim 200 \text{ keV}$ 、総ドーズ量 $\Phi = 5 \times 10^{15} \text{ cm}^{-2}$ の条件で選択的に多段イオン注入し、その後 $1600^\circ\text{C}$ 程度の活性化熱処理により表面から深さ約 $0.3 \mu\text{m}$ の領域に不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$ のn型低抵抗領域19を形成しても良い。

【0058】(ロ) 次に、その第2エビタキシャル成長層19の表面に酸化膜34を形成する。その後酸化膜34の表面にレジスト14をスピン塗布し、フォトリソグラフィ技術により、図6(b)に示すように、レジスト14をパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、図6(c)に示すように、RIE等の異方性エッチングにより酸化膜34及びn型低抵抗領域(第2エビタキシャル成長層)19を貫通し、底部がn型第1エビタキシャル成長層21に達するトレンチ48a、48b、……を形成する。トレンチ48a、48b、……の形成により、n型低抵抗領域(第2エビタキシャル成長層)19は、ソース領域35a、35b、35c、……に分割される。

【0059】(ハ) そして、レジスト14を除去した後図7(d)に示すように、トレンチ48a、48b、……の内部に酸化膜37を形成する。そして、RIE等の指向性エッチングによりトレンチ48a、48b、……の底部の酸化膜37を除去する。更に、酸化膜34の表面に第1金属膜を真空蒸着法やスパッタリングにより堆積する。第1金属膜として、例えばMoが使用可能である。そして、第1金属膜の上にレジストをスピン塗布し、フォトリソグラフィ技術により、レジストをパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、第1金属膜をパターニングし、図7(e)に示すようなイオン注入用マスク13Mを形成してもよい。第1金属膜のパターニングは、RIEを用いれば良い。

【0060】(ニ) そして、イオン注入用マスク13Mを介して、図7(e)に示すように、底部に露出したn型第1エビタキシャル成長層21の深い位置に $^{11}\text{B}^+$ の選択イオン注入を行う(深部イオン注入工程)。ここ

**THIS PAGE BLANK (USPTO)**

で、 $^{11}\text{B}^+$ は、基板温度 $T_{\text{sub}} = \text{室温} \sim 700^\circ\text{C}$ 、ここでは $500^\circ\text{C}$ 程度で加速エネルギー $E_{\text{acc}} = 100 \sim 400 \text{ keV}$ 、総ドーズ量 $\Phi = 1.8 \times 10^{13} \text{ cm}^{-2}$ の多段注入する。この結果、表面からの深さ $0.25 \sim 0.8 \mu\text{m}$ の領域に不純物濃度 $3 \times 10^{17} \text{ cm}^{-3}$ の注入層が形成される。

【0061】(ホ)更に、図7(f)に示すように、底部に露出したn型第1エピタキシャル成長層21に対して、イオン注入用マスク13Mをマスクとして $^{11}\text{B}^+$ の射影飛程よりも浅い位置に、 $^{27}\text{Al}^+$ の選択イオン注入を行う(浅部イオン注入工程)。 $^{27}\text{Al}^+$ は、基板温度 $T_{\text{sub}} = \text{室温} \sim 700^\circ\text{C}$ 、ここでは $500^\circ\text{C}$ 程度で、加速エネルギー $E_{\text{acc}} = 10 \sim 150 \text{ keV}$ 、総ドーズ量 $\Phi = 2 \times 10^{13} \text{ cm}^{-2}$ の多段注入する。この結果、表面から深さ $0.25 \mu\text{m}$ の領域に、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ の $^{27}\text{Al}^+$ 注入層が形成される。

【0062】(ヘ)その後、酸化膜34、37及びイオン注入用マスク13Mを除去し基板温度 $T_{\text{sub}} = 1600^\circ\text{C}$ 程度の活性化熱処理により、図8(g)に示すように、選択的にp型深部膨張形拡散領域25a、25b、……を形成する。p型深部膨張形拡散領域25a、25b、……は、切り込みゲート型SITのゲート領域である。ここでは、ボロンとアルミニウムについて上記のようなイオン注入の条件を用いたが、更にゲートによるピンチオフを効果的に行うために加速エネルギー $E_{\text{acc}}$ とドーズ量 $\Phi$ を適当に調節してp型深部膨張形拡散領域25a、25b、……を略台形に形成することも可能である。上述したようにp型深部膨張形拡散領域25a、25b、……の深い位置にアルミニウムと比較して数倍程度拡散係数が大きいボロンを意図的に注入しているため、第2の実施の形態と同様に活性化熱処理後にはp型深部膨張形拡散領域25a、25b、……の幅を基板内部に向かって効果的に拡げることが出来る。更にボロンを深い位置に注入した別の利点としては、アルミニウムと比較して質量が軽いため注入時の損傷をより軽減出来、その結果としてピンチオフ時のリーク電流を大幅に抑制出来ることがあげられる。

【0063】(ト)次に基板表面及びトレンチ48a、48b、……の内部に酸化膜74、77を形成する。そして、図8(g)に示すようにRIE等の指向性エッチングによりトレンチ48a、48b、……の底部の酸化膜77を除去する。その後トレンチ48a、48b、……の内部にAl膜(第2金属膜)を約200nm、更にAl膜の上に多結晶シリコンをCVD法で堆積する。そして、CMPにより、酸化膜74が露出するまで平坦化し、Al膜/多結晶シリコンを図8(h)に示すように、トレンチ48a、48b、……の内部に埋め込み、埋め込みゲート電極45a、45b、……を形成する。

【0064】(チ)そして、酸化膜74の上にレジスト

をスピン塗布し、フォトリソグラフィ技術により、レジストをパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、酸化膜74を選択的にエッチングし、ソースコンタクトホールを開口し、ソース領域35a、35b、35c、……の一部を露出させる。酸化膜74のパターニングは、RIEを用いれば良い。その後、ソースコンタクトホールの開口された酸化膜74の表面をレジストでカバーして、低抵抗SiC基板11の裏面の薄い酸化膜30を希釈したフッ酸(HF)若しくは緩衝HF等でエッチングする。n型低抵抗SiC基板11の裏面には、第3金属膜としてNi膜を約 $1 \mu\text{m}$ の厚さで蒸着し、ドレイン電極43を形成する。

【0065】(リ)次に、n型ソース領域35a、35b、35c、……の表面に第4金属膜として、Al膜を約 $1 \mu\text{m}$ の厚さで蒸着する。第4金属膜として、Ti、Mo等のメタル、又は各種のメタルシリサイドを使用しても良い。そして、第4金属膜の上にレジストをスピン塗布する。そして、フォトリソグラフィ技術により、ソース領域35a、35b、35c、……の上部にレジストが残るように、レジストをパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、第4金属膜をエッチングし、図8(i)に示すような第4金属膜をソース領域35a、35b、35c、……の上部に選択的に残し、ソース電極41a、41b、41c、……をパターニングする。そして、基板温度 $T_{\text{sub}} = 800 \sim 1100^\circ\text{C}$ 、例えば $950^\circ\text{C}$ で5分程度シンター処理し、ソース電極41a、41b、41c、……、ドレイン電極43、ゲート電極45a、45bのオーミック接触を良好なものにする。これで、切り込みゲート型SITの概略工程は、終了する。

【0066】以上のように製造した切り込みゲート型SITの電気的特性を評価した結果は、以下の通りである。耐圧800Vの切り込みゲート型SITで、ゲート電圧-20V及びドレイン電圧500V印加時のリーク電流は $1 \times 10^{-6} \text{ A/cm}^2$ 、又オン抵抗は $13 \text{ m}\Omega \text{ cm}^2$ となった。一方従来技術によるSiC切り込みゲート型SITでは同じ耐圧800Vと比較すると、オン抵抗は $26 \text{ m}\Omega \text{ cm}^2$ 前後となる。従って、第3の実施の形態に係る切り込みゲート型SITでは約 $13 \text{ m}\Omega \text{ cm}^2$ のオン抵抗の低減が得られることになる。ここで、第3の実施の形態によりオン抵抗を約 $13 \text{ m}\Omega \text{ cm}^2$ 低減出来た理由は、p型深部膨張形拡散領域25a、25b、……と第1エピタキシャル成長層21の間のpn接合から第1エピタキシャル成長層21へ拡がる空乏層によって生じる寄生抵抗を約 $13 \text{ m}\Omega \text{ cm}^2$ 低減されたことによるものである。又、切り込みゲート型SITではゲート領域25a、25b、……の容量が大幅に削減されるため第3の実施の形態に係るp型深部膨張形拡

**THIS PAGE BLANK (USPTO)**



散領域25a, 25b, ……と組み合わせることにより、高速動作が大幅に改善される。

【0067】従って第3の実施の形態のような構成をとることにより、上で説明したようにゲート領域25a, 25b, ……の幅を基板内部に向かって効果的に拡げることが出来、又質量の軽いボロンの方を深い位置に注入しているため注入時の損傷を大幅に軽減出来、その結果切り込みゲート型SITにおいて耐圧、漏れ電流等のゲート耐圧特性を損なうことなく、順方向の抵抗を十分に引き下げることが出来るのである。

【0068】＜第3の実施の形態の変形例＞図11

(f)は本発明の第3の実施の形態の変形例に係るトレンチ側壁ゲート型SITの断面図である。本発明と第3の実施の形態との異なる点は、片側p型深部膨張形拡散領域39a, 39b, 39c, 39d, ……がトレンチ上部と底部の間に存在する点である。図11(f)に示すトレンチ側壁ゲート型SITの製造方法は、図9(a)に示すトレンチ底部にp型深部膨張形拡散領域25a, 25b, ……を形成するところまでは第3の実施の形態の切り込みゲート型SITと同様であるため省略する。

【0069】(イ)その後、RIE等の異方性エッチングにより、図9(a)に示すようにp型深部膨張形拡散領域25a, 25b, ……を貫通して底部が第1エピタキシャル成長層21に達する第2トレンチを形成する。第2トレンチの形成により、片側p型深部膨張形拡散領域39a, 39b, 39c, 39d, ……がトレンチ上部(第1トレンチ)と底部(第2トレンチ)の間の側壁部に形成される。

【0070】(ロ)その後、図10(c)に示すように、第1トレンチと第2トレンチからなる拡張トレンチの内部に、絶縁膜46をCVD法で堆積する。絶縁膜46は、低温CVDや真空蒸着による酸化膜、或いはPSG膜等の、酸化膜74に比し酸化膜のエッチング速度の速い膜質の材料を選ぶ。或いは、酸化膜74の表面の一部若しくは全部をシリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)で形成しても良い。更に、CMPで酸化膜74が露出するまで平坦化し、拡張トレンチの内部に絶縁膜46を埋め込む。更に、酸化膜74に比し酸化膜のエッチング速度の速い膜質を利用して、バックエッチを行い、図10(d)に示すように、底部(第2トレンチ)に埋め込み絶縁膜47a, 47b, ……を形成する。

【0071】(ハ)次に拡張トレンチの内部にAl膜(第2金属膜)を約200nm、更にAl膜の上に多結晶シリコンをCVD法で堆積する。そして、CMPにより、酸化膜74が露出するまで平坦化し、Al膜/多結晶シリコンを図11(e)に示すように、拡張トレンチの内部に埋め込み、埋め込みゲート電極45a, 45b, ……を形成する。

【0072】(ニ)そして、酸化膜74の上にレジスト

をスピン塗布し、フォトリソグラフィ技術により、レジストをパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、酸化膜74をパターニングし、ソースコンタクトホールを開口し、ソース領域35a, 35b, 35c, ……の一部を露出させる。酸化膜74のパターニングは、RIEを用いれば良い。その後、ソースコンタクトホールの開口された酸化膜74の表面をレジストでカバーして、低抵抗SiC基板11の裏面の薄い酸化膜30を希釈したフッ酸(HF)若しくは緩衝HF等でエッチングする。n型低抵抗SiC基板11の裏面には、第3金属膜43としてNi膜を約1μmの厚さで蒸着し、ドレイン電極43を形成する。

【0073】(ホ)次に、n型ソース領域35a, 35b, 35c, ……の表面に第4金属膜として、Al膜を約1μmの厚さで蒸着する。第4金属膜として、Ti, Mo等のメタル、又は各種のメタルシリサイドを使用しても良い。そして、第4金属膜の上にレジストをスピン塗布し、フォトリソグラフィ技術により、ソース領域35a, 35b, 35c, ……の上部にレジストが残るように、レジストをパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、第4金属膜をエッチングし、図11(f)に示すような第4金属膜をソース領域35a, 35b, 35c, ……の上部に選択的に残す。そして、基板温度T<sub>sub</sub>=1000℃~1100℃程度のシンター処理により、ソース電極41a, 41b, 41c, ……、ドレイン電極43、ゲート電極45a, 45bのオーミック接触を良好なものにする。これで、トレンチ側壁ゲート型SITの概略工程は、終了する。

【0074】第3の実施の形態の変形例に係るトレンチ側壁ゲート型SITの電気的特性は、図8(i)に示す切り込みゲート型SITと同様に大幅に改善される。第3の実施の形態の変形例に係るトレンチ側壁ゲート型SITでは片側p型深部膨張形拡散領域39a, 39b, 39c, 39d, ……の容量が削減されるため、高速動作が大幅に改善される。即ち図11(f)に示すような構成をとることにより、片側p型深部膨張形拡散領域39a, 39b, 39c, 39d, ……の幅を基板内部に向かって効果的に拡げることが出来る。又質量の軽いボロンの方を深い位置に注入しているため注入時の損傷を大幅に軽減出来、その結果トレンチ側壁ゲート型SITにおいて耐圧、漏れ電流等のゲート耐圧特性を損なうことなく、順方向の抵抗を十分に引き下げることが出来る。

【0075】(第4の実施の形態)図15(1)に示すように、本発明の第4の実施の形態に係る縦型UMOSFETは、第1導電型の第1主電極領域(ドレイン領域)11、この第1主電極領域11の上部に設けられた広禁制帯幅材料からなる第1導電型のドリフト領域2

**THIS PAGE BLANK (USPTO)**

1、このドリフト領域21の表面に配置された第2導電型の複数のボディ領域64a、64b、64c、……

、このボディ領域64a、64b、64c、……の表面に選択的に配置された第1導電型の複数の第2主電極領域(ソース領域)63a、63b、63c、63d、……、ソース領域63a、63b、63c、63d、……の表面からドレイン領域11の方向に向かって掘られた複数のトレンチ、複数のトレンチの内壁に形成されたゲート酸化膜65、複数のトレンチを埋め込んでゲート酸化膜65の表面に配置されたゲート電極45a、45b、……、複数のトレンチの底部においてドリフト領域21の内部に設けられた複数の第2導電型の深部膨張形拡散領域(電界緩和領域)66a、66b、……とから構成されている。本発明の第2及び第3の実施の形態と同様に、深部膨張形拡散領域66a、66b、……のそれぞれは、ドリフト領域21の表面からドレイン領域11に向かう深さ方向において、ドレイン領域11に近づくに従い、深さ方向に垂直方向の横方向の拡散幅が広がるような形状を有する。複数の深部膨張形拡散領域66a、66b、……のそれぞれは、第1の不純物元素からなる上部領域、及びこの上部領域の下部に位置し、第1の不純物元素よりも広禁制帯幅材料中における拡散係数の大きな第2の不純物元素からなる下部領域とからなる。第4の実施の形態においては、第1導電型をn型、又第2導電型をp型を用いた場合について説明する。

【0076】第1主電極領域(ドレイン領域)11には、ドレイン電極43が、第2主電極領域(ソース領域)63a、63b、63c、63d、……には、ソース電極41が、オーミック接触されている。ソース電極41は、ソース領域63a、63b、63c、63d、……とボディ領域64a、64b、64c、……とを短絡している。

【0077】図15(1)に示す縦型UMOSFETは、以下の手順で製造可能である：

(イ)最初に、図12(a)に示すように、不純物濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さ $300 \mu\text{m}$ のn型低抵抗SiC基板11上にエピタキシャル成長法により不純物濃度 $3 \times 10^{15} \text{ cm}^{-3}$ 、厚さ $10 \mu\text{m}$ のn型エピタキシャル成長層(第1エピタキシャル成長層)21及び第1エピタキシャル成長層21の上の不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $3 \mu\text{m}$ のp型第2エピタキシャル成長層55を形成する。但し、ここではn型不純物としては窒素を用いるが、別の不純物、例えば燐を用いても良い。又窒素と燐等の複数の不純物を同時に用いても良い。又p型不純物としてはボロンを用いたが、別の不純物、例えばアルミニウムを用いても良い。

【0078】(ロ)次に、その第2エピタキシャル成長層55の表面に酸化膜76を堆積する。次に酸化膜76の上にレジスト(不図示)をスピン塗布し、フォトリソ

グラフィ技術により、レジストをパターニングする。次にパターニングされたレジストをエッチングマスクとして酸化膜76をパターニングする。その後、レジストを除去する。そして、パターニングされた酸化膜76をイオン注入マスクとして用い、燐を基板温度 $T_{\text{sub}} = 700^\circ\text{C}$ 程度で加速エネルギー $E_{\text{acc}} = 10 \sim 200 \text{ keV}$ 、総ドーズ量 $\Phi = 5 \times 10^{11} \text{ cm}^{-2}$ の条件で選択的に多段イオン注入する。

【0079】(ハ)その後、酸化膜76を除去し、 $1600^\circ\text{C}$ 程度の活性化熱処理により表面から深さ約 $0.3 \mu\text{m}$ の領域に不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$ のn型低抵抗領域57a、57b、……を形成する。その後、図12(c)に示すように、n型低抵抗領域57a、57b、……の上に酸化膜58を堆積する。

【0080】(ニ)次に、酸化膜58の表面にレジスト59をスピン塗布し、フォトリソグラフィ技術により、図13(d)に示すように、レジスト59をパターニングする。そして、パターニングされたレジスト59をエッチングマスクとして用い、酸化膜58をパターニングする。そして、パターニングされた酸化膜58をエッチングマスクとして用い、図13(e)に示すように、RIE等によりp型第2エピタキシャル成長層55を貫通し、底部がn型第1エピタキシャル成長層21に達するトレンチ48a、48b、……を形成する。

【0081】トレンチ48a、48b、……の形成により、n型低抵抗領域57a、57b、……は、ソース領域63a、63b、63c、63d、……に分割される。又、p型第2エピタキシャル成長層55は、p型ボディ領域64a、64b、64c、……に分割される。

【0082】(ホ)そして、図13(f)に示すように、トレンチ48a、48b、……の内部に厚さ $10 \text{ nm}$ 程度の酸化膜65を形成する。

【0083】(ヘ)そして、酸化膜58をイオン注入用マスクとして、図14(g)に示すように、トレンチ48a、48b、……底部に位置するn型第1エピタキシャル成長層21の深い位置に $^{11}\text{B}^+$ の選択イオン注入を行う(深部イオン注入工程)。 $^{11}\text{B}^+$ の選択イオン注入は、酸化膜65をスルーして行う。この際、酸化膜58の表面に金属膜を真空蒸着法やスパッタリングにより堆積しておき、金属膜をパターニングしてイオン注入用マスクとしても良い。ここで、 $^{11}\text{B}^+$ は、基板温度 $T_{\text{sub}} = \text{室温} \sim 700^\circ\text{C}$ 、ここでは $500^\circ\text{C}$ 程度で加速エネルギー $E_{\text{acc}} = 100 \sim 400 \text{ keV}$ 、総ドーズ量 $\Phi = 1.8 \times 10^{11} \text{ cm}^{-2}$ の多段注入する。この結果、表面からの深さ $0.25 \sim 0.8 \mu\text{m}$ の領域に不純物濃度 $3 \times 10^{17} \text{ cm}^{-3}$ の注入層が形成される。

【0084】(ト)更に、図14(h)に示すように、トレンチ底部に位置するn型第1エピタキシャル成長層21に対して、酸化膜58をイオン注入用マスクとし

**THIS PAGE BLANK (USPTO)**

て、 $^{11}\text{B}^+$ の射影飛程よりも浅い位置に、 $^{27}\text{Al}^+$ の選択イオン注入を行う(浅部イオン注入工程)。 $^{27}\text{Al}^+$ の選択イオン注入は、酸化膜65をスルーして行う。 $^{27}\text{Al}^+$ は、基板温度 $T_{\text{sub}} = \text{室温} \sim 700^\circ\text{C}$ 、ここでは $500^\circ\text{C}$ 程度で、加速エネルギー $E_{\text{acc}} = 10 \sim 150 \text{ keV}$ 、総ドーズ量 $\Phi = 2 \times 10^{13} \text{ cm}^{-2}$ の多段注入する。この結果、表面から深さ $0.25 \mu\text{m}$ の領域に、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ の $^{27}\text{Al}^+$ 注入層が形成される。

【0085】(チ)次に酸化膜58、65を除去した後、基板温度 $T_{\text{sub}} = 1600^\circ\text{C}$ 程度の活性化熱処理により、図14(i)に示すように、選択的にp型深部膨張形拡散領域66a、66b、……を形成する。p型深部膨張形拡散領域66a、66b、……は、縦型UMOSFETのp型電界緩和領域である。p型電界緩和領域66a、66b、……の深い位置にアルミニウムと比較して数倍程度拡散係数が大きいボロンを意図的に注入しているため、第3の実施の形態と同様に活性化熱処理後にはp型電界緩和領域66a、66b、……の幅を基板内部に向かって効果的に拡げることが出来る。更にボロンを深い位置に注入した別の利点としては、アルミニウムと比較して質量が軽いため注入時の損傷をより軽減出来、その結果として逆方向電圧印加時の電界集中を大幅に抑制出来ることがあげられる。

【0086】(リ)次に基板表面及びトレンチ48a、48b、……の内部に再度酸化膜58、65を形成する。その後トレンチ48a、48b、……の内部に燐を高濃度に添加したポリシリコンをCVD法で堆積する。そして、RIE、CDE等のドライエッチングを用いてトレンチ48a、48b、……の内部にのみ燐を高濃度に添加したポリシリコンを残し、それ以外(基板表面等)のポリシリコンを除去することにより、埋め込みゲート電極45a、45b、……を形成する。そして、酸化膜58の上に、図15(k)に示すように層間絶縁膜67をCVD法により堆積する。

【0087】(ヌ)そして、この層間絶縁膜67の上にレジストをスピン塗布し、フォトリソグラフィ技術により、レジストをパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、層間絶縁膜67及び酸化膜58を選択的にエッチングし、ソースコンタクトホールを開口し、ソース領域63a、63b、63c、63d、……及びp型ボディ領域64a、64b、64c、……の一部を露出させる。ソースコンタクトホールは、その開口部の内部にソース領域63a、63b、63c、63d、……及びp型ボディ領域64a、64b、64c、……の両方を露出させるように開口される。層間絶縁膜67及び酸化膜58のエッチングは、RIEを用いて連続的に行えば良い。その後、ソースコンタクトホールの開口された、層間絶縁膜67及び酸化膜58の表面をレジストでカバーして、低抵抗SiC基板11の裏面の薄い酸化膜30を希

釈したフッ酸(HF)若しくは緩衝HF等でエッチングする。n型低抵抗SiC基板11の裏面には、金属膜43としてNi膜を約 $1 \mu\text{m}$ の厚さで蒸着し、ドレイン電極43を形成する。

【0088】(ル)次に、図15(1)に示すように、n型ソース領域63a、63b、63c、63d、……の表面に金属膜として、Al膜を約 $1 \mu\text{m}$ の厚さで蒸着する。金属膜として、Ti、Mo、等のメタル、又は各種のメタルシリサイドを使用しても良い。そして、金属膜の上にレジストをスピン塗布し、フォトリソグラフィ技術により、ソース領域63a、63b、63c、63d、……の上部にレジストが残るように、レジストをパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、金属膜をエッチングし、図15(1)に示すような金属膜をソース領域63a、63b、63c、63d、……の上部に選択的に残し、ソース電極41をパターニングする。尚、パワーデバイスの場合は、ソース電極41を全面に形成し、パターニングしなくても良い場合がある。そして、基板温度 $T_{\text{sub}} = 800 \sim 1100^\circ\text{C}$ 、例えば $950^\circ\text{C}$ で5分程度シンター処理し、ソース電極41、ドレイン電極43、ゲート電極45a、45bのオーミック接触を良好なものにする。これで、縦型UMOSFETの概略工程は、終了する。

【0089】上記のように製造された縦型UMOSFETでは、p型電界緩和領域66a、66b、……の底部側端部における絶縁膜の電界強度が大幅に緩和され、より高い耐圧を実現することが出来る。それは本発明の第4の実施の形態に係るp型電界緩和領域66a、66b、……により、電圧が均等に分担されるためである。p型電界緩和領域66a、66b、……のない場合には耐圧 $700 \sim 900 \text{ V}$ 程度であるのに対し、p型電界緩和領域66a、66b、……のある場合には $1000 \sim 1200 \text{ V}$ 程度と大幅に増大し、又p型電界緩和領域66a、66b、……への電界集中が顕著に改善されるためデバイスの信頼性も向上する。

【0090】<第4の実施の形態の変形例>図18

(1)は本発明の第4の実施の形態の変形例に係る縦型UMOSFETの断面図である。図18(1)と図15(1)に示す構造の異なる点は、図18(1)に示す構造は図15(1)に示す構造に、第2導電型(p型)の電界緩和領域69a、69b、69c、……を設けた点である。電界緩和領域69a、69b、69c、……は、厚さが $0.5 \mu\text{m}$ 程度であり、表面不純物濃度が $10^{17}$ から $10^{18} \text{ cm}^{-3}$ 程度のp型領域(第2導電型)である。

【0091】図18(1)に示す縦型UMOSFETは、以下の手順で製造可能である：

(イ)最初に、不純物濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さ $300 \mu\text{m}$ のn型低抵抗SiC基板11上にエピタキシャ

**THIS PAGE BLANK (USPTO)**

ル成長法により不純物濃度  $3 \times 10^{11} \text{ cm}^{-3}$ 、厚さ  $10 \mu\text{m}$  の n 型エピタキシャル成長層（第1エピタキシャル成長層）21を成長する。この後、エピタキシャル成長炉より、SiC基板11を取り出し、第1エピタキシャル成長層21の上に、酸化膜（不図示）を形成する。次に酸化膜の上にレジスト（不図示）をスピン塗布し、フォトリソグラフィ技術により、レジストをパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、RIE等により酸化膜68をパターニングする。次にレジストを除去した後、図16

(a)に示すように、 $^{11}\text{B}^+$ の選択イオン注入を行う（深部イオン注入工程）。ここで、 $^{11}\text{B}^+$ は、基板温度  $T_{\text{sub}} = \text{室温} \sim 700^\circ\text{C}$ 、ここでは  $500^\circ\text{C}$  程度で加速エネルギー  $E_{\text{acc}} = 50 \sim 200 \text{ keV}$ 、総ドーズ量  $\Phi = 1.8 \times 10^{13} \text{ cm}^{-2}$  の多段注入する。更に、図16(b)に示すように、n型第1エピタキシャル成長層21に対して、酸化膜68をイオン注入用マスクとして、 $^{11}\text{B}^+$ の射影飛程よりも浅い位置に、 $^{27}\text{Al}^+$ の選択イオン注入を行う（浅部イオン注入工程）。 $^{27}\text{Al}^+$ は、基板温度  $T_{\text{sub}} = \text{室温} \sim 700^\circ\text{C}$ 、ここでは  $500^\circ\text{C}$  程度で、加速エネルギー  $E_{\text{acc}} = 5 \sim 70 \text{ keV}$ 、総ドーズ量  $\Phi = 2 \times 10^{13} \text{ cm}^{-2}$  の多段注入する。

【0092】(ロ)その後、表面の酸化膜68を除去し、基板温度  $T_{\text{sub}} = 1600^\circ\text{C}$  程度の活性化熱処理により、図16(c)に示すように、選択的にp型深部膨張形拡散領域69a、69b、69c、……を形成する。この後、第1エピタキシャル成長層21の上に、図16(c)に示すように、不純物濃度  $1 \times 10^{16} \text{ cm}^{-3}$ 、厚さ  $3 \mu\text{m}$  のp型第2エピタキシャル成長層55を形成する。

【0093】(ハ)これ以後の製造工程は、前述した図12(b)～図15(1)に示す工程と基本的に同じである。例えば図17(g)、(h)、(i)は、それぞれ図14(g)、(h)、(i)に対応する。又、図18(j)、(k)、(1)は、それぞれ図15(j)、(k)、(1)に対応する。したがって、ここでは重複した説明を省略する。

【0094】上記のように第4の実施の形態の変形例に係る縦型UMOSFETでは深部膨張形のp型電界緩和領域66a、66b、……により電圧が均等に分担されるのに加えて、更に同じく深部膨張形の電界緩和領域69a、69b、69c、……によっても電圧が同じく均等に分担されるため、ゲート絶縁膜の電圧分担が非常に小さくなりゲート酸化膜65への電界集中が更に顕著に緩和される。それは、深部膨張形の電界緩和領域69a、69b、69c、……と第1エピタキシャル成長層21との接合部から拡がる空乏層と、同じく深部膨張形のp型電界緩和領域66a、66b、……と第1エピタキシャル成長層21との接合部から拡がる空乏層とが結合し、その結果ドレイン・ソース電極間に印加さ

れた電圧が上記の結合した空乏層によって均等に分担されるためである。

【0095】具体的には第4の実施の形態の変形例に係る上記の構成でp型電界緩和領域69a、69b、69c、……のない場合には耐圧  $1000 \sim 1200 \text{ V}$  程度であるのに対し、深部膨張形のp型電界緩和領域66a、66b、……がある場合には耐圧  $1150 \sim 1350 \text{ V}$  程度と大幅に増大し、又ゲート酸化膜65への電界集中が更に改善されるためデバイスの信頼性も顕著に向上した。

【0096】(第5の実施の形態)図20(f)に示すように、本発明の第5の実施の形態に係る表面ゲート型バイポーラモードSIT(BSIT)は、第1導電型の第1主電極領域（ドレイン領域）11、このドレイン領域11の上部に設けられた広禁制帯幅材料からなる第1導電型のドリフト領域（n型エピタキシャル成長層）21、このドリフト領域21の内部に設けられた複数の第2導電型の深部膨張形拡散領域（ゲート領域）25a、25b、……、複数の深部膨張形拡散領域25a、25b、……に挟まれた第2導電型のベース領域72、ベース領域72の内部の表面近傍に設けられた第1導電型の第2主電極領域（ソース領域）35とから構成されている。ベース領域72の不純物濃度を深部膨張形拡散領域25a、25b、……よりも十分に低く設定し、ドレイン領域11とソース領域35との間は、ほとんどバンチングスルーしかけた状態となっている。しかし、ゲート領域25a、25b、……に電圧を印加しない状態で、電子に対する電位障壁の高さが十分高いので、ドレイン電流は流れず、表面ゲート型BSITはノーマリーオフ特性を示す。ゲート領域25a、25b、……に、ビルトイン電圧以下の電圧を印加すれば、電子に対する電位障壁の高さが静電誘導効果で下がり、表面ゲート型BSITのドレイン電流が流れ始める。

【0097】第2の実施の形態に係る表面ゲート型SITと同様に、表面ゲート型BSIT/深部膨張形拡散領域25a、25b、……のそれぞれは、ドリフト領域21の表面からドレイン領域11に近づくに従い、水平方向断面積が次第に広くなるような3次元形状を有する。第5の実施の形態においては、第1導電型としてn型を、又第2導電型としてp型を用いた場合について説明する。第1主電極領域（ドレイン領域）11には、ドレイン電極43が、第2主電極領域（ソース領域）35には、ソース電極41が、オーミック接触されている。更に、深部膨張形拡散領域（ゲート領域）25a、25b、……のそれぞれには、ゲート電極45a、45bがオーミック接触されている。

【0098】図20(f)に示す表面ゲート型BSITは、以下の手順で製造可能である：

(イ)最初に、不純物濃度  $1 \times 10^{19} \text{ cm}^{-3}$ 、厚さ3

**THIS PAGE BLANK (USPTO)**



00  $\mu\text{m}$ のn型低抵抗SiC基板11上にエピタキシャル成長法により不純物濃度 $3 \times 10^{15} \text{ cm}^{-3}$ 、厚さ10  $\mu\text{m}$ のn型エピタキシャル成長層21を形成する。但し、ここではn型不純物としては窒素を用いるが、別の不純物、例えば燐を用いても良い。次に、そのn型エピタキシャル成長層21の表面に金属膜を真空蒸着法やスパッタリングにより堆積する。金属膜として、例えばMoが使用可能である。そして、金属膜の上にレジストをスピン塗布し、フォトリソグラフィ技術により、レジストをパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、金属膜をパターニングし、イオン注入用マスクを形成する。そして、第2の実施の形態と同様に、n型エピタキシャル成長層21の表面からイオン注入用マスクを介して、深い位置に $^{11}\text{B}^+$ の選択イオン注入を行う（深部イオン注入工程）。ここで、 $^{11}\text{B}^+$ は、基板温度 $T_{\text{sub}} = \text{室温} \sim 700^\circ\text{C}$ 、ここでは $500^\circ\text{C}$ 程度で加速エネルギー $E_{\text{acc}} = 100 \sim 400 \text{ keV}$ 、総ドーズ量 $\Phi = 6 \times 10^{14} \text{ cm}^{-2}$ の多段注入する。この結果、表面からの深さ0.25～0.8  $\mu\text{m}$ の領域に不純物濃度 $1 \times 10^{19} \text{ cm}^{-3}$ の注入層が形成される。更に、n型エピタキシャル成長層21の表面からイオン注入用マスクをマスクとして $^{11}\text{B}^+$ の射影飛程よりも浅い位置に、 $^{27}\text{Al}^+$ の選択イオン注入を行う（浅部イオン注入工程）。 $^{27}\text{Al}^+$ は、基板温度 $T_{\text{sub}} = \text{室温} \sim 700^\circ\text{C}$ 、ここでは $500^\circ\text{C}$ 程度で、加速エネルギー $E_{\text{acc}} = 10 \sim 150 \text{ keV}$ 、総ドーズ量 $\Phi = 2 \times 10^{15} \text{ cm}^{-2}$ の多段注入する。この結果、表面から深さ0.25  $\mu\text{m}$ の領域に、不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$ の $^{27}\text{Al}^+$ 注入層が形成される。その後、イオン注入用マスクの金属膜を除去し、基板温度 $T_{\text{sub}} = 1600^\circ\text{C}$ 程度の活性化熱処理により、図19(a)に示すように、選択的にp型深部膨張形拡散領域25a、25b、……を形成する。p型深部膨張形拡散領域25a、25b、……は、表面ゲート型BSITのゲート領域である。このとき深部膨張形拡散領域25a、25b、……のそれぞれの幅は約2  $\mu\text{m}$ である。又、一対の型深部膨張形拡散領域25aと深部膨張形拡散領域25bに挟まれるチャンネルの幅は表面付近で約1  $\mu\text{m}$ になるようにする。ここでは、ボロンとアルミニウムについて上記のようなイオン注入の条件を用いたが、更にゲートによるピンチオフを効果的に行うために加速エネルギー $E_{\text{acc}}$ とドーズ量 $\Phi$ を適当に調節してp型深部膨張形拡散領域25a、25b、……を図30に示すように略台形に形成することも可能である。上述したようにp型低抵抗領域の深い位置にアルミニウムと比較して数倍程度拡散係数が高いボロンを意図的に注入しているため、図19(b)に示すように活性化熱処理後にはゲート領域25a、25b、……の幅を基板内部に向かって効果的に拡がること出来る。更にボロンを深い位置に注入した別の利点としては、アルミニウムと比較して

質量が軽いため注入時の損傷をより軽減出来、その結果としてピンチオフ時のリーク電流を大幅に抑制出来ることがあげられる。

【0099】(ロ) 次にn型エピタキシャル成長層21の表面の全面に、図19(a)に示すように、ボロンを加速エネルギー $E_{\text{acc}} = 10 \sim 200 \text{ keV}$ 、総ドーズ量 $\Phi = 5 \times 10^{12} \text{ cm}^{-2}$ の条件で多段イオン注入する。イオン注入用マスクを形成し、ゲート領域25a、25b、……には、イオン注入されないような選択イオン注入をしても良い。

【0100】(ハ) ボロンのイオン注入後、 $1600^\circ\text{C}$ 程度の活性化熱処理を施し、図19(b)に示すように、n型エピタキシャル成長層21の表面から深さ約0.5  $\mu\text{m}$ の位置及んで、不純物濃度 $1 \times 10^{17} \text{ cm}^{-3}$ のp型ベース領域72を形成する。次にn型エピタキシャル成長層21の表面に、多結晶シリコンをCVD法で堆積する。そして、この多結晶シリコンを熱酸化することにより、図19(b)に示すように、n型エピタキシャル成長層21の表面に、酸化膜91を形成する。この多結晶シリコンを熱酸化の際に、低抵抗SiC基板11の裏面にも、薄い酸化膜30が形成される。又酸化膜の形成法としては、上記以外に $\text{SiH}_4$ 及び $\text{N}_2\text{O}$ 等を用いたCVD法で堆積してもよい。

【0101】(ニ) 更に、酸化膜91の表面に第2金属膜32を真空蒸着法やスパッタリングにより堆積する。第2金属膜32として、例えばMoが使用可能である。そして、第2金属膜32の上にレジスト33をスピン塗布する。そして、フォトリソグラフィ技術により、レジスト33を、図19(c)に示すようにパターニングする。そして、パターニングされたレジスト33をエッチングマスクとして用い、第2金属膜32をRIEでエッチングし、図20(d)に示すようなイオン注入用第2マスク32Mを形成する。第2金属膜32のRIEに続き、その下地の酸化膜91もRIEで選択的に除去し、n型エピタキシャル成長層21の表面の一部を露出させる。そして、イオン注入用第2マスク32Mを介して、図20(d)に示すように、基板温度 $T_{\text{sub}} = 700^\circ\text{C}$ 程度で、 $^{31}\text{P}^+$ を加速エネルギー $E_{\text{acc}} = 10 \sim 200 \text{ keV}$ 、総ドーズ量 $\Phi = 5 \times 10^{15} \text{ cm}^{-2}$ の条件で選択的に多段イオン注入する。その後、イオン注入用第2マスク32M及び酸化膜91を除去後、基板温度 $T_{\text{sub}} = 1600^\circ\text{C}$ 程度の活性化熱処理により、図20(e)に示すように、表面から深さ約0.3  $\mu\text{m}$ の領域に不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$ のn型ソース領域35を形成する。

【0102】(ホ) 次に、基板表面に再度酸化膜31をCVD法等により形成した後、上記の記述と同様にパターニングされたレジストをエッチングマスクとしてRIE等を用いて酸化膜31をパターニングする。その後レジストを除去し、パターニングされた酸化膜31の開口

**THIS PAGE BLANK (USPTO)**

部をソースコンタクトホールとして利用する。その後、ソースコンタクトホールの開口された酸化膜31の表面をレジストでカバーして、低抵抗SiC基板11の裏面の薄い酸化膜30を希釈したフッ酸(HF)若しくは緩衝HF等でエッチングする。n型低抵抗SiC基板11の裏面には、第3金属膜43としてNi膜を約1 $\mu$ mの厚さで蒸着し、ドレイン電極43を形成する。次に、n型ソース領域35の表面に第4金属膜として、Al膜を約1 $\mu$ mの厚さで蒸着する。そして、第4金属膜の上にレジストをスピン塗布する。そして、フォトリソグラフィ技術により、ソース領域35の上部にレジストが残るように、レジストをパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、第4金属膜をエッチングし、図20(f)に示すような第4金属膜をソース領域35の上部に選択的に残し、ソース電極41を形成する。次に、ソース電極41及びソース電極41から露出した酸化膜31の上にレジストをスピン塗布する。そして、フォトリソグラフィ技術により、深部膨張形拡散領域(ゲート領域)25a、25b、……のそれぞれの上部に開口部を有するようにレジストをパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、酸化膜31を選択的にエッチングし、ゲート領域25a、25b、……の表面を露出させ、図20(f)に示すようなゲートコンタクトホールを開口する。その後、表面の全面にTi膜を約200nm、Al膜を約1 $\mu$ mの厚さで順次蒸着する。このAl膜の上にレジストをスピン塗布し、フォトリソグラフィ技術により、深部膨張形拡散領域(ゲート領域)25a、25b、……のそれぞれの上部にレジストを残すようにパターニングする。そして、パターニングされたレジストをエッチングマスクとして用い、図20(f)に示すようにAl膜、Ti膜を順次RIEで選択的にエッチングし、ゲート電極45a、45bのパターンを形成する。その後、基板温度 $T_{sub}=800\sim 1150^{\circ}\text{C}$ 、例えば $950^{\circ}\text{C}$ で5分程度シンター処理し、ソース電極41、ドレイン電極43ゲート電極45a、45bのオーミック接触を良好なものにする。これで、表面ゲート型BSITの概略工程は、終了する。

【0103】以上のように製造した表面ゲート型BSITの電気的特性を評価した結果は、以下の通りである。耐圧1000Vの表面ゲート型BSITで、ゲート電圧-10V及びドレイン電圧600V印加時のリーク電流は $1\times 10^{-6}\text{A}/\text{cm}^2$ 、又オン抵抗は $18\text{m}\Omega\text{cm}^2$ となった。一方従来技術によるSiC表面ゲート型BSITでは同じ耐圧1000Vと比較すると、オン抵抗は $26\text{m}\Omega\text{cm}^2$ 前後となる。従って、第5の実施の形態に係る表面ゲート型BSITでは約 $8\text{m}\Omega\text{cm}^2$ のオン抵抗の低減が得られることになる。

【0104】ここで、第5の実施の形態によりオン抵抗

を約 $8\text{m}\Omega\text{cm}^2$ 低減出来た理由は、p型深部膨張形拡散領域25a、25b、……とn型エピタキシャル成長層21の間のpn接合からn型エピタキシャル成長層21へ拡がる空乏層によって生じる寄生抵抗を約 $8\text{m}\Omega\text{cm}^2$ 低減されたことによるものである。従って図20(f)に示す構成をとることにより、ゲート領域25a、25b、……の幅を基板内部に向かって効果的に拡げることが出来る。又質量の軽いボロンの方を深い位置に注入しているため注入時の損傷を大幅に軽減出来、その結果表面ゲート型BSITにおいて耐圧、漏れ電流等のゲート耐圧特性を損なうことなく、順方向の抵抗を十分に引き下げることが出来る。又、第5の実施の形態ではp型ベース領域72を設けることにより、ノーマリーオフ型の表面ゲート型BSITを実現している。

【0105】又、図21に示すように、n型ソース領域35とp型ベース領域72との間に低不純物濃度のn型領域73を設けても良い。

【0106】更に、第5の実施の形態に係る発明は、図22に示すバイポーラトランジスタ(BJT)にも適用出来る。本発明の第5の実施の形態の変形例(第2の変形例)に係るBJTは、SiC基板からなる第1主電極領域(コレクタ領域)81、この第1主電極領域81の上部に設けられた広禁制帯幅材料からなる第1導電型のドリフト領域(n型エピタキシャル成長層)21、このドリフト領域21の内部に設けられた複数の第2導電型の深部膨張形拡散領域82a、82b、……、複数の深部膨張形拡散領域82a、82b、……に挟まれたp型ベース領域83、p型ベース領域83の内部に設けられた第1導電型の第2主電極領域(エミッタ領域)84とから構成されている。

【0107】図20(f)に示すBSITにおいては、ベース領域72の不純物濃度は、深部膨張形拡散領域25a、25b、……よりも十分に低く設定され、ドレイン領域11とソース領域35との間は、ほとんどバンチングスルーしかけた状態となっている。しかし、図22に示すBJTにおいては、p型ベース領域83の不純物濃度はベース領域72よりも高く設定されている。例えば、p型ベース領域83の不純物濃度は、 $1\times 10^{18}\text{cm}^{-3}\sim 1\times 10^{19}\text{cm}^{-3}$ 程度に設定されている。このため、コレクタ領域81とエミッタ領域84との間には、中性のp型ベース領域83が残り、コレクタ領域81に印加されるコレクタ電圧が、エミッタ領域84側に影響を与えにくくなっている。

【0108】深部膨張形拡散領域82a、82b、……のそれぞれは、ドリフト領域21の表面から第1主電極領域81に近づくに従い、水平方向断面積が次第に広くなるような3次元形状を有する。この場合p型深部膨張形拡散領域82a、82b、……はBJTの外部ベース領域(ベース電極取り出し領域)として機能する。コレクタ領域81には、コレクタ電極87が、エミッタ領

THIS PAGE RI ANK (11SDT01)

域84には、エミッタ電極86が、それぞれオーミック接触している。又、ベース電極取り出し領域82a、82b、……にはAl/Ti複合膜からなるベース電極85がオーミック接触している。図22に示すBJTでは、p型深部膨張形拡散領域82a、82b、……が基板内部に向かって効果的に拡がっているため内部ベースのp型ベース領域72とは低抵抗に接続され、その結果ベース抵抗を大幅に削減することが出来る。即ちBJTの高周波化が可能となる。又バイポーラデバイスであるため導電変調を利用出来、オン抵抗を更に低減することが可能となる。

【0109】(第6の実施の形態)本発明の第2～第5の実施の形態で述べた半導体装置の製造方法は、静電誘導サイリスタ(SIサイリスタ)にも適用出来る。SIサイリスタの場合、図5(i)に示す表面ゲート型SITの構造においてn型低抵抗SiC基板11の導電型を、図23に示すように、p型低抵抗SiC基板51にすれば良い。

【0110】即ち、本発明の第6の実施の形態に係るSIサイリスタは、図23に示すように、第1主電極領域51、この第1主電極領域51の上部に設けられた広禁制帯幅材料からなる第1導電型のドリフト領域21、このドリフト領域21の内部に設けられた複数個の第2導電型の深部膨張形拡散領域25a、25b、……、複数個の深部膨張形拡散領域25a、25b、……に挟まれてドリフト領域21の内部に設けられた第1導電型の第2主電極領域53とから構成されている。本発明の第1の実施の形態と同様に、深部膨張形拡散領域25a、25b、……のそれぞれは、ドリフト領域21の表面から第1主電極領域51に近づくに従い、水平方向断面面積が次第に広がるような3次元形状を有する。この深部膨張形拡散領域25a、25b、……のそれぞれは、第1及び第2主電極領域53間を流れる電流を制御する制御電極領域(ゲート領域25a、25b、……)として機能する。第1主電極領域51は、SIサイリスタのアノード領域として機能する。第2主電極領域53は、SIサイリスタのカソード領域として機能する。複数の深部膨張形拡散領域25a、25b、……のそれぞれは、第1の不純物元素からなる上部領域、及びこの上部領域の下部に位置し、第1の不純物元素よりも広禁制帯幅材料中における拡散係数の大きな第2の不純物元素からなる下部領域とからなる。

【0111】第1主電極領域(アノード領域)51には、アノード電極52が、第2主電極領域(カソード領域)53には、カソード電極54が、オーミック接触されている。更に、深部膨張形拡散領域(ゲート領域)25a、25b、……のそれぞれには、ゲート電極45a、45bがオーミック接触されている。

【0112】SIサイリスタにおいては、カソード・アノード間ポテンシャルと、ゲート電圧によるチャネル中

のポテンシャルの2次元空間における鞍部点である電位障壁(ポテンシャル)の高さがアノード電圧及びゲート電圧で制御される。電位障壁(ポテンシャル)は、深部膨張形拡散領域(ゲート領域)25a、25b、……のポテンシャルの影響を受けて、第2主電極領域(カソード領域)35の前面に形成される。電位障壁(ポテンシャル)の高さに依存してアノード電流が流れる。このSIサイリスタのターンオンは、深部膨張形拡散領域(ゲート領域)25a、25b、……正の電位を印加してドリフト領域21中に形成される電位障壁の高さを容量結合(静電誘導効果)で下げることにより実現される。即ち、電位障壁の高さが低くなることにより、第2主電極領域(カソード領域)35から、ドリフト領域21に電子が注入される。この注入された電子は、第1主電極領域(アノード領域)51の前面に蓄積され、第1主電極領域(アノード領域)51からの正孔(ホール)の注入を促進する。即ち、大量の電子及び正孔(ホール)が瞬時に流れ始める。ターンオフは、深部膨張形拡散領域(ゲート領域)25a、25b、……負の電位若しくはゼロの電位を印加して、第2主電極領域(カソード領域)35から、ドリフト領域21に注入される電子を阻止することから開始する。

【0113】ノーマリオフ型のSIサイリスタであれば、深部膨張形拡散領域(ゲート領域)25a、25b、……ゼロの電位を印加して、第2主電極領域(カソード領域)35から、ドリフト領域21に注入される電子が阻止される。ノーマリオン型のSIサイリスタであれば、深部膨張形拡散領域(ゲート領域)25a、25b、……負の電位を印加して、電位障壁(ポテンシャル)の高さを高くし、第2主電極領域(カソード領域)35から、ドリフト領域21に注入される電子を阻止する。但し、第1主電極領域(アノード領域)51の前面に蓄積された電子が、再結合等で消滅しない限り、第1主電極領域(アノード領域)51からの正孔(ホール)の注入があるので、テイル電流が存在する。

【0114】SIサイリスタの場合も、一定のピンチオフ特性で比較すれば、カソード面積を相対的に増大出来る。したがって、同じ耐圧で、より低いオン抵抗が得られる。

【0115】つまり、SITと同様に、SIサイリスタの場合も、耐圧、漏れ電流等のゲート耐圧特性を損なうことなく、順方向損失を十分に引き下げることが出来、高効率スイッチングが可能となる。

【0116】本発明の第6の実施の形態に係るSIサイリスタの製造方法は、図3～図5を用いて説明した表面ゲート型SITの製造方法で、n型低抵抗SiC基板11の導電型を、図23に示すように、p型低抵抗SiC基板51に変更すれば、他は基本的に同様である。したがって、重複した説明を省略する。

【0117】図24は、本発明の第6の実施の形態の変

**THIS PAGE BLANK (USPTO)**

形例(第1の変形例)に係る半導体装置の断面図である。図24に示すアノードショート型SIサイリスタでは、アノード領域は分割され、複数の分割アノード領域62a, 62b, 62c, ……となり、その間にn型のショート領域61a, 61b, ……が形成されたSIアノードショート構造となっている。そして、分割アノード領域62a, 62b, 62c, ……が、ゲート領域25a, 25b, ……と同様な深部膨張形拡散領域の構造をなしている。この場合、分割アノード領域62a, 62b, 62c, ……とショート領域61a, 61bとのポテンシャルにより電子をショート領域61a, 61bに掃引することが出来る。したがって、ターンオフ時のテイル電流が小さくなり、高速スイッチングが可能である。尚、分割アノード領域62a, 62b, 62c, ……のピッチは電子の拡散長の2倍以下に選べば良い。図24に示す深部膨張形拡散領域の構造をなす複数の分割アノード領域62a, 62b, 62c, ……を用いることで、アノード領域の実効的な面積を大きくしつつ、有効に、アノード領域の全面に蓄積される電子を、ショート領域61a, 61b, ……を用いて引き抜くことが可能になる。このため、オン抵抗を増大しないで、テイル電流を抑制出来る。したがって、低いオン電圧と、高速ターンオフ特性を同時に奏するアノードショート型SIサイリスタが得られる。

【0118】図25は、本発明の第6の実施の形態の変形例(第2の変形例)に係る半導体装置の断面図である。図25に示す切り込みゲート型SIサイリスタは、図28(i)に示した第3の実施の形態に係る切り込みゲート型SITの抵抗SiC基板11の導電型をp型にした構造に対応する。

【0119】図26は、本発明の第6の実施の形態の変形例(第3の変形例)に係る半導体装置の断面図である。図26に示すノーマリオフ型SIサイリスタでは、図20(f)に示した第5の実施の形態に係るBSITの抵抗SiC基板11の導電型をp型にした構造に対応する。

(第7の実施の形態)図27は本発明の第7の実施の形態に係る横型UMOSFET(ラテラルUMOSFET)の断面図である。第7の実施の形態に係る横型UMOSFETと第4の実施の形態に係る縦型UMOSFETとの異なる点は、ドレイン電極90を基板裏面にではなく第1エピタキシャル成長層21の表面に形成している点である。

【0120】第7の実施の形態では、第4の実施の形態で第1エピタキシャル成長層21上にエピタキシャル法により形成されたp型第2エピタキシャル成長層55の代わりに、第1エピタキシャル成長層21上に一定の領域をもつ例えばストライプ状のp型ボディ領域64a, 64b, 64c, ……をボロン或いはアルミニウム又はその両方を用いて選択イオン注入により形成する。次

に第1エピタキシャル成長層21上でp型ボディ領域64a, 64b, 64c, ……から一定距離はなれた場所にn型ドレイン領域89を形成する。次にp型ボディ領域64a, 64b, 64c, ……とn型ドレイン領域89との間に1個又はそれ以上のp型電界緩和領域64d, 64e, ……をp型ボディ領域64a, 64b, 64c, ……に並行して設けている。このp型電界緩和領域64d, 64e, ……は、p型ボディ領域64a, 64b, 64c, ……端部の電界集中を緩和するものである。次にn型ドレイン領域89の上にドレイン電極90を形成する。ここでドレイン電極90はゲート電極45a, 45b, ……から所定の距離を隔てて、ゲート電極45a, 45b, ……に並行して形成することが望ましい。上記の各工程以外の構造は、図15(1)に示す第4の実施の形態に係る縦型UMOSFETと基本的に同じである。以上で横型UMOSFETを完成する。

【0121】横型UMOSFETでは、ソース電極41a, 41b, 41c, ……とドレイン電極90が同じ面に設けられているため、モノリシックICとして同一半導体チップ上に集積化するのが容易である。又、ハイブリッドIC等に組み込んで用いる場合にも配線作業が簡単となる。又ドレイン電極90が個々の半導体装置に設けられているため、表面配線や接続の自由度が増すことになり、設計が容易になる。

【0122】第7の実施の形態に示したn型ドレイン領域8及びドレイン電極90の構成は図18(1)に示す第4の実施の形態の変形例の構成に対しても同様に適用可能である。

【0123】(第8の実施の形態)図28は、補助素子2としての第1の実施の形態に係るJBSダイオードと主素子1としての第6の実施の形態に係るアノードショート型SIサイリスタとを同一半導体チップ上に配置した半導体集積回路である。第8の実施の形態に係る半導体集積回路の製造工程は、第1及び第6の実施の形態の実施の形態で詳しく説明した通りであり、ここでは省略する。

【0124】第8の実施の形態に係る半導体集積回路においては、補助素子2としてのJBSダイオードと主素子1としてのアノードショート型SIサイリスタとで、単位セルが構成されている。アノードショート型SIサイリスタは、逆導通型SIサイリスタであり、JBSダイオードは、逆導通型SIサイリスタに並列接続されたフリーホイールダイオードとして機能する。即ち、逆導通型SIサイリスタとフリーホイールダイオードの並列接続構造を単位セルとし、これら単位セルがストライプ状に、n型ドリフト領域21内に周期的にマルチチャネル構造で形成されている。

【0125】ここで各単位セルのp型ゲート領域25a, 25b, ……は、アノードショート型SIサイリ

**THIS PAGE BLANK (USP 10)**



スタ領域を形成するp型ゲート領域25a, 25b, ...として機能するとともに、JBSダイオードのガードリングとしても機能する。従ってアノードショート型SIサイリスタとJBSダイオードとをそれぞれ独立に形成した場合に比較して素子全体の面積を縮小することが出来、素子電流密度を向上させることが出来る。

【0126】(その他の実施の形態)上記のように、本発明は第1～第8の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0127】第1の実施の形態において、深部膨張形拡散領域18a, 18bを図29に示すように略台形に形成すれば、更に逆方向のリーク電流を低減することが出来る。台形に形成するためには、加速エネルギー $E_{acc}$ とドーズ量を調節すれば良い。いずれにせよ、深部膨張形拡散領域18a, 18bの深い位置に、アルミニウムと比較して数倍程度拡散係数が大きいボロンを意図的に注入しているため、イオン注入後の活性化熱処理後には、深部膨張形拡散領域18a, 18bの幅を基板内部に向かって効果的に拡げることが出来る。更にボロンを深い位置に注入した別の利点としては、アルミニウムと比較して質量が軽いため注入時の損傷をより軽減出来、その結果としてピンチオフ時のリーク電流を大幅に抑制出来ることがあげられる。

【0128】既に述べた第1～第8の実施の形態の説明においては、第1導電型としてn型を、又第2導電型としてp型を用いた場合を説明したが、導電型を全く反対にしても良いことは勿論である。

【0129】第1～第8の実施の形態においては、SiCについて例示的に説明したが、禁制帯幅 $E_g$  = 約2.2 eVのZnTe、禁制帯幅 $E_g$  = 約2.4 eVのCdS、禁制帯幅 $E_g$  = 約2.7 eVのZnSe、禁制帯幅 $E_g$  = 約3.4 eVのGaN、禁制帯幅 $E_g$  = 約3.7 eVのZnS、及び禁制帯幅 $E_g$  = 約5.5 eVのダイヤモンド等ワイドバンドギャップ半導体にも、同様に適用可能である。

【0130】又、本発明は第1～第8の実施の形態においてそれぞれ説明したJBSダイオード、表面ゲート型SIT、切り込みゲート型SIT、縦型UMOSFET、BSIT、SIサイリスタ、横型UMOSFET、集積回路に限られたわけではなく、エミッタスイッチドサイリスタ(EST)等のMOS複合デバイスを含めた種々の他の半導体装置にも応用出来るものである。又、第4の実施の形態で説明した図15(1)及び図18

(1)の縦型UMOSの構造において、n型低抵抗SiC基板11をp型低抵抗SiC基板に置き換えれば、トレンチ型のIGBTとして機能する。又、第7の実施の形態で説明した図27の横型UMOSの構造において、

n型ドレイン領域89をp型コレクタ領域に置き換えれば、横型のIGBTとして機能する。更に、第5の実施の形態で説明した図20(f)及び図22のBSITやBJTの構造において、n型低抵抗SiC基板11をp型低抵抗SiC基板に置き換えれば、ノーマリオフ型SIサイリスタやGTOサイリスタとして機能する。その他、本発明の要旨を逸脱しない範囲で、種々変形して、種々の他の半導体装置にも応用出来る。

【0131】既に述べた第1～第8の実施の形態の説明においては、トレンチ或いは表面に形成する絶縁膜として酸化膜を用いたが、これ以外に酸化タンタル( $Ta_2O_5$ )、窒化珪素( $Si_3N_4$ )や窒化アルミニウム( $AlN$ )といった他の絶縁膜を用いても良い。

【0132】このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0133】

【発明の効果】本発明の第1の特徴によれば、耐圧、漏れ電流等の逆方向特性を損なうことなく、順方向の抵抗を十分に引き下げることが出来る。

【0134】本発明の第2の特徴によれば、半導体装置の制御電極領域に係る耐圧特性を損なうことなく、順方向の抵抗を十分に引き下げることが出来る。

【0135】本発明の第3の特徴によれば、深部膨張形拡散領域が、トレンチの底部近傍におけるゲート絶縁膜の電界強度を大幅に緩和し、より高い耐圧の絶縁ゲート型半導体装置を実現することが出来る。

【0136】本発明の第4の特徴によれば、第3の特徴と同様に、より高い耐圧の横型絶縁ゲート型半導体装置を実現することが出来る。又、第1及び第2主電極領域が、同じ側の面に設けられているため、集積化が容易である。

【0137】本発明の第5の特徴に係る半導体装置の製造方法によれば、第1～第4の特徴に係る半導体装置が簡単に製造出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係わるJBSダイオードの製造工程を説明するための工程断面図である(その1)。

【図2】本発明の第1の実施の形態に係わるJBSダイオードの製造工程を説明するための工程断面図である(その2)。

【図3】本発明の第2の実施の形態に係わる表面ゲート型SITの製造工程を説明するための工程断面図である(その1)。

【図4】本発明の第2の実施の形態に係わる表面ゲート型SITの製造工程を説明するための工程断面図である(その2)。

**THIS PAGE BLANK (ISPTO)**

【図5】本発明の第2の実施の形態に係わる表面ゲート型SITの製造工程を説明するための工程断面図である(その3)。

【図6】本発明の第3の実施の形態に係わる切り込みゲート型SITの製造工程を説明するための工程断面図である(その1)。

【図7】本発明の第3の実施の形態に係わる切り込みゲート型SITの製造工程を説明するための工程断面図である(その2)。

【図8】本発明の第3の実施の形態に係わる切り込みゲート型SITの製造工程を説明するための工程断面図である(その3)。

【図9】本発明の第3の実施の形態の変形例に係わるトレンチ側壁ゲート型SITの製造工程を説明するための工程断面図である(その1)。

【図10】本発明の第3の実施の形態の変形例に係わるトレンチ側壁ゲート型SITの製造工程を説明するための工程断面図である(その2)。

【図11】本発明の第3の実施の形態の変形例に係わるトレンチ側壁ゲート型SITの製造工程を説明するための工程断面図である(その3)。

【図12】本発明の第4の実施の形態に係わる縦型UMOSFETの製造工程を説明するための工程断面図である(その1)。

【図13】本発明の第4の実施の形態に係わる縦型UMOSFETの製造工程を説明するための工程断面図である(その2)。

【図14】本発明の第4の実施の形態に係わる縦型UMOSFETの製造工程を説明するための工程断面図である(その3)。

【図15】本発明の第4の実施の形態に係わる縦型UMOSFETの製造工程を説明するための工程断面図である(その4)。

【図16】本発明の第4の実施の形態の変形例に係わる縦型UMOSFETの製造工程を説明するための工程断面図である(その1)。

【図17】本発明の第4の実施の形態の変形例に係わる縦型UMOSFETの製造工程を説明するための工程断面図である(その2)。

【図18】本発明の第4の実施の形態の変形例に係わる縦型UMOSFETの製造工程を説明するための工程断面図である(その3)。

【図19】本発明の第4の実施の形態に係わるBSITの製造工程を説明するための工程断面図である(その1)。

【図20】本発明の第4の実施の形態に係わるBSITの製造工程を説明するための工程断面図である(その2)。

【図21】本発明の第4の実施の形態の変形例(第1の変形例)に係わるBSITの構造を説明するための断面

図である。

【図22】本発明の第4の実施の形態の他の変形例(第2の変形例)に係わるBSITの構造を説明するための断面図である。

【図23】本発明の第6の実施の形態に係わるSIサイリスタの構造を説明するための模式的な断面図である。

【図24】本発明の第6の実施の形態の変形例(第1の変形例)に係わるSIサイリスタの構造を説明するための模式的な断面図である。

【図25】本発明の第6の実施の形態の他の変形例(第2の変形例)に係わるSIサイリスタの構造を説明するための模式的な断面図である。

【図26】本発明の第6の実施の形態の更に他の変形例(第3の変形例)に係わるSIサイリスタの模式的な断面図である。

【図27】本発明の第7の実施の形態に係わる横型UMOSの構造を説明するための模式的な断面図である。

【図28】本発明の第8の実施の形態に係わる半導体集積回路の構造を説明するための模式的な断面図である。

【図29】本発明の他の実施の形態に係わるJBSダイオードの模式的な断面図である。

【図30】本発明の他の実施の形態に係わる表面ゲート型SITの模式的な断面図である。

【符号の説明】

1 主素子

2 補助素子

11 n型低抵抗SiC基板(第1主電極領域)

12, 21 n型エピタキシャル成長層(第1エピタキシャル成長層)

30 13 金属膜

13M イオン注入用マスク

14, 33, 56 レジスト

15a, 15b, 18a, 18b, 25a, 25b, 26a, 26b 深部膨張形拡散領域

16 オーミック電極(カソード電極)

17 ショットキー電極(アノード電極)

19 n型エピタキシャル成長層(第2エピタキシャル成長層)

24 イオン注入用マスク(金属膜)

40 30, 31, 34, 37, 58, 74, 76, 77, 9

1 酸化膜

32 第2金属膜

32M イオン注入用第2マスク

35, 35a, 35b, 35c, 63a, 63b, 63c, 63d 第2主電極領域(ソース領域)

36 第4金属膜

39a, 39b, 39c, 39d 片側p型深部膨張形拡散領域(ゲート領域)

41, 41a, 41b, 41c ソース電極

50 43 第3金属膜(ドレイン電極)

**THIS PAGE BLANK (USPTO)**

41

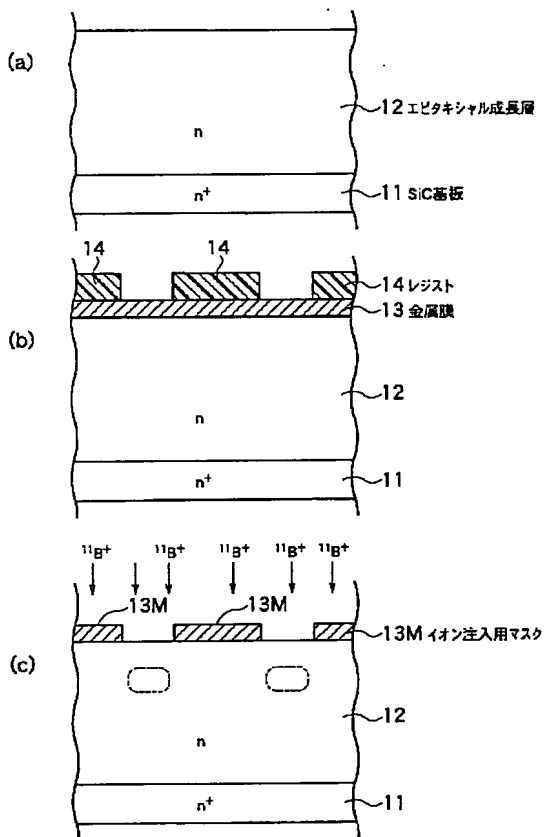
- 45 a, 45 b, 45 c ゲート電極  
 46, 71 a, 71 b 絶縁膜  
 47 a, 47 b 埋め込み絶縁膜  
 48 a, 48 b トレンチ  
 51 第1主電極領域 (アノード領域)  
 52 アノード電極  
 53 第2主電極領域 (カソード領域)  
 54 カソード電極  
 55 p型エピタキシャル成長層 (第2エピタキシャル成長層)  
 57 a, 57 b n型低抵抗領域  
 61 a, 61 b, 61 c ショート領域  
 62 a, 62 b, 62 c, 62 d 分割アノード領域  
 64 a, 64 b, 64 c p型ボディ領域  
 64 d, 64 e p型電界緩和領域  
 65 ゲート酸化膜

42

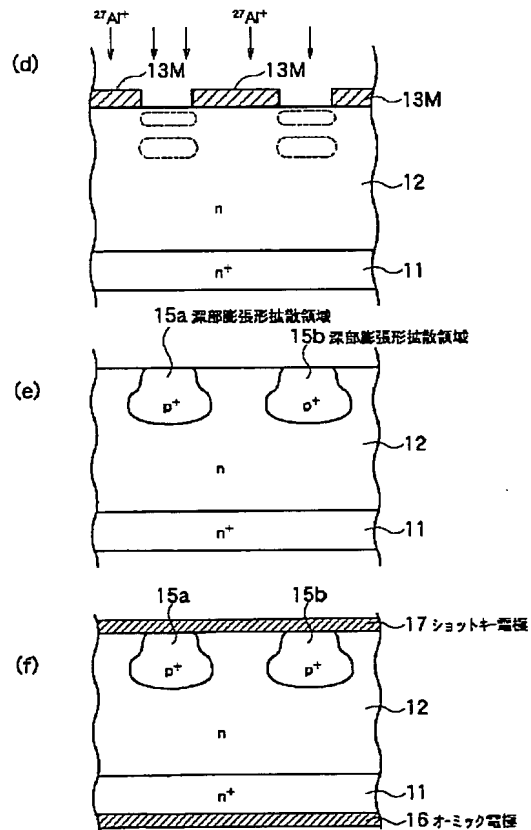
- \* 67 層間絶縁膜  
 68 イオン注入用マスク  
 69 a, 69 b, 69 c 電界緩和領域 (深部膨張形拡散領域)  
 72, 83 p型ベース領域  
 73 n型領域  
 81 第1主電極領域 (コレクタ領域)  
 82 a, 82 b 深部膨張形拡散領域 (ベース電極取り出し領域)  
 84 第2主電極領域 (エミッタ領域)  
 85 ベース電極  
 86 エミッタ電極  
 87 コレクタ電極  
 89 ドレイン領域 (第1主電極領域)  
 90 ドレイン電極

\*

【図1】

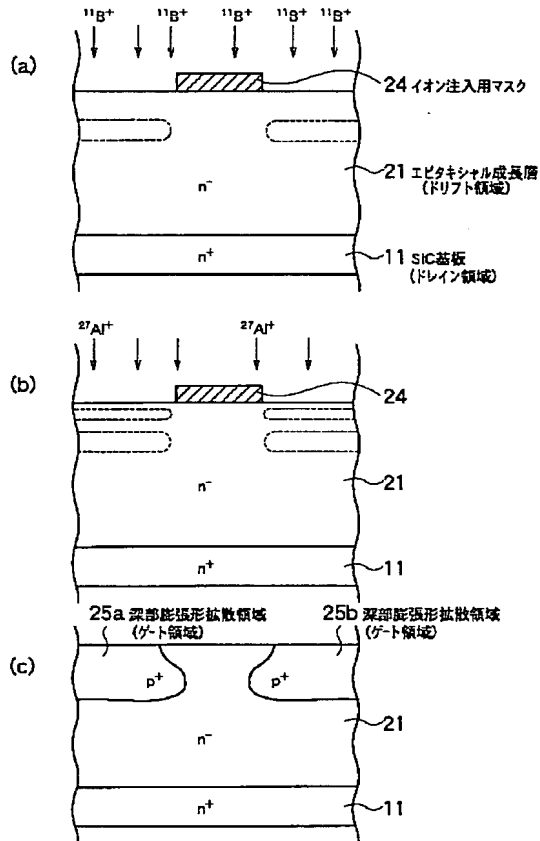


【図2】

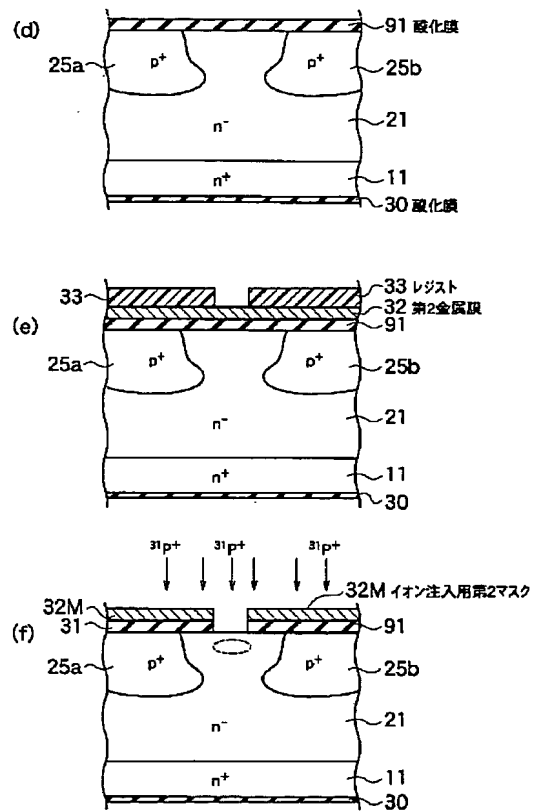


**THIS PAGE BLANK (USPTO)**

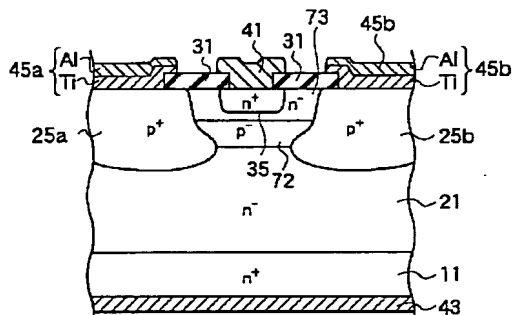
【図3】



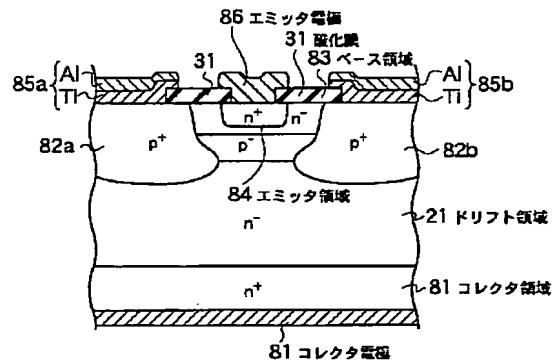
【図4】



【図21】



【図22】

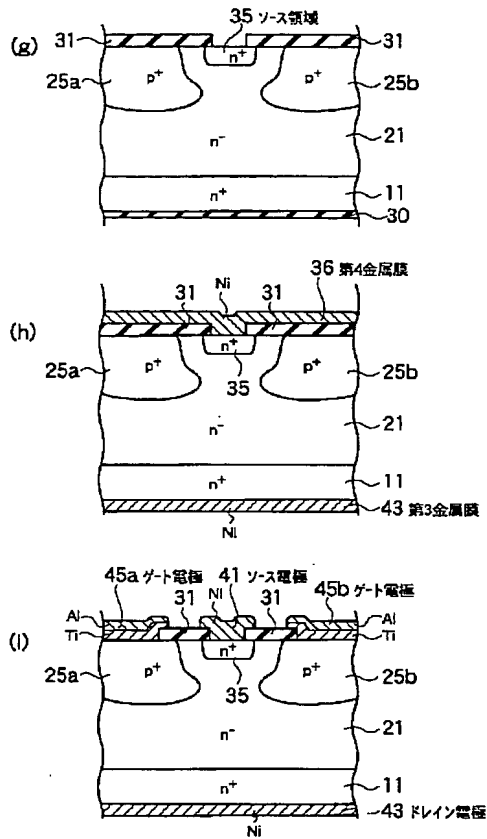


82a, 82b: ベース取り出し領域  
85a, 85b: ベース電極

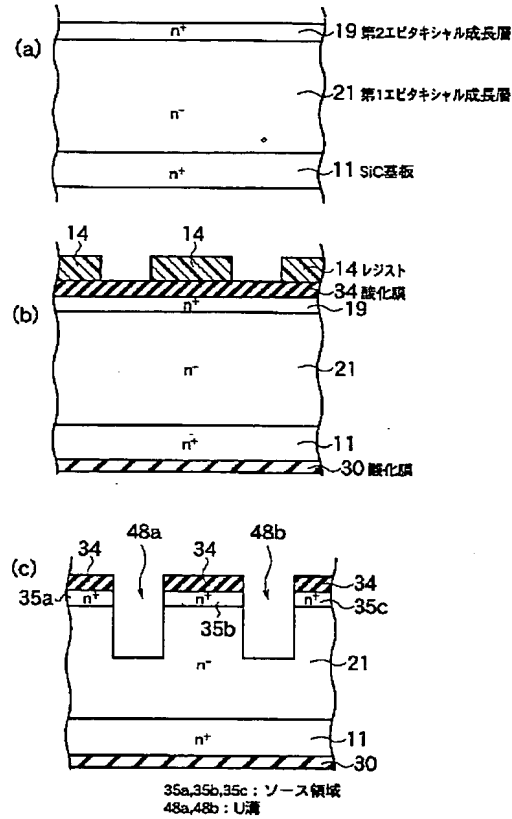
THIS PAGE BLANK (USPTO)



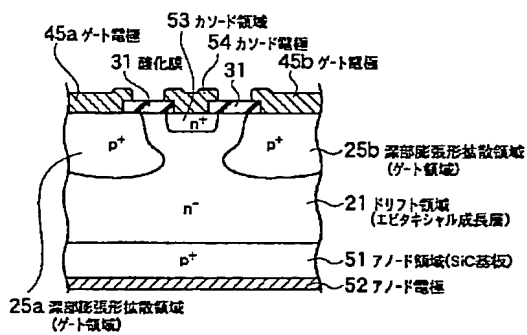
【図5】



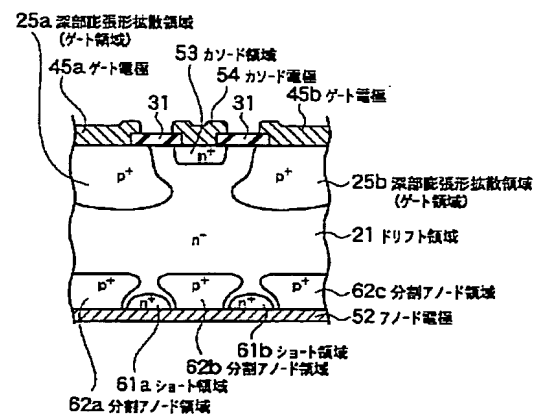
【図6】



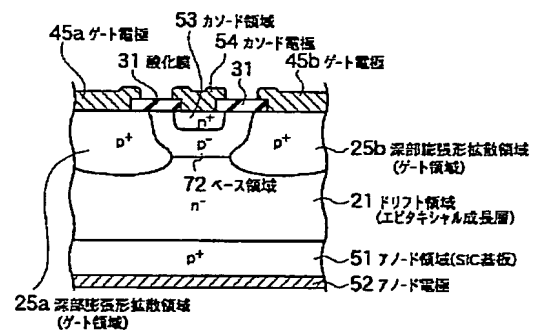
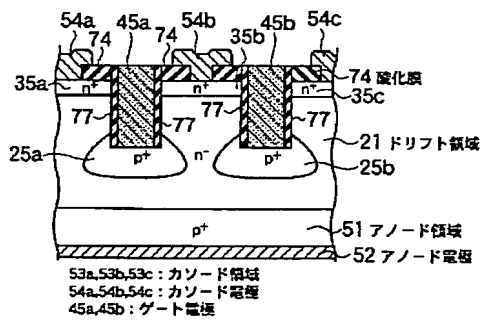
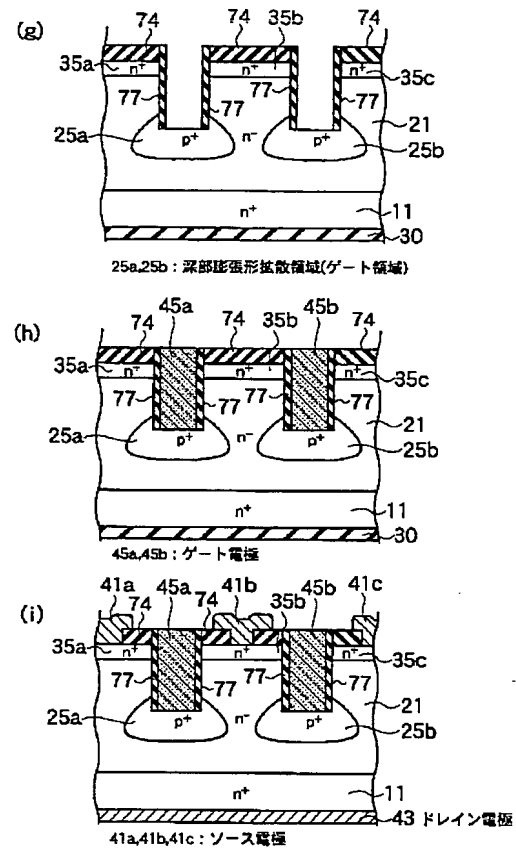
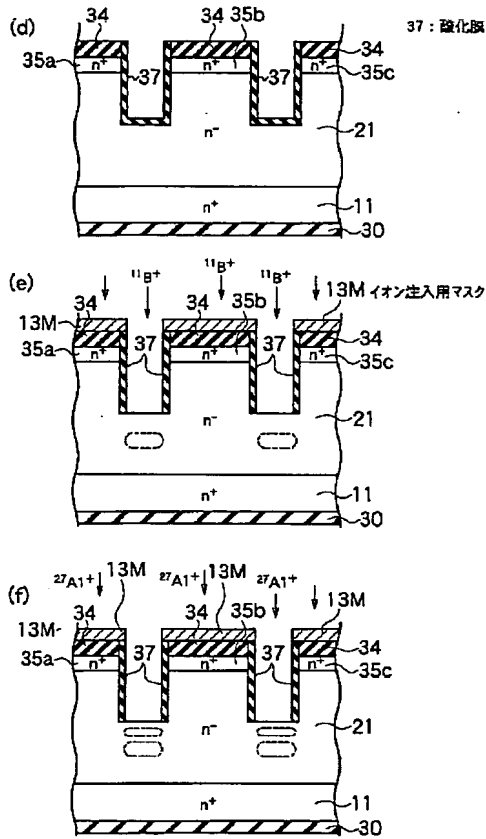
【図23】



【図24】

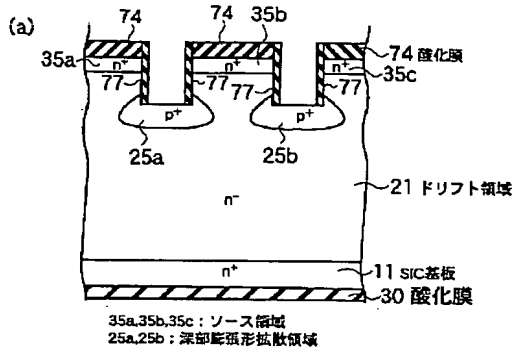


THIS PAGE BLANK (03/10)

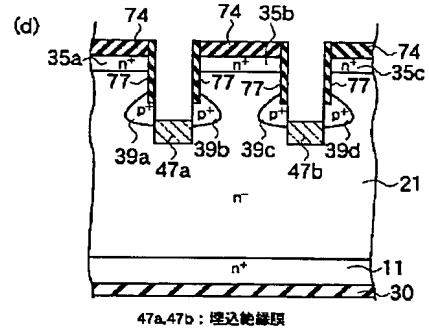
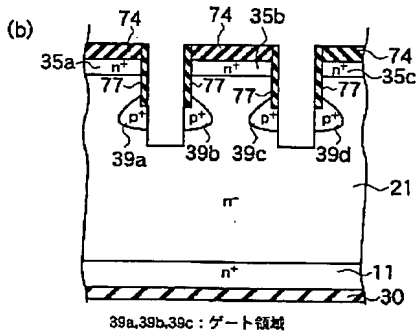
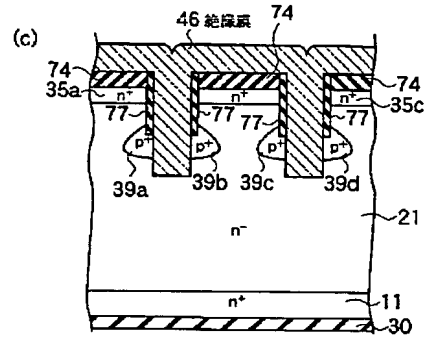


**THIS PAGE BLANK (USPTO)**

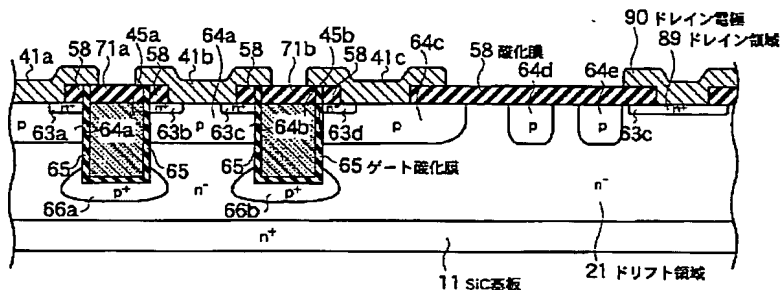
【図9】



【図10】



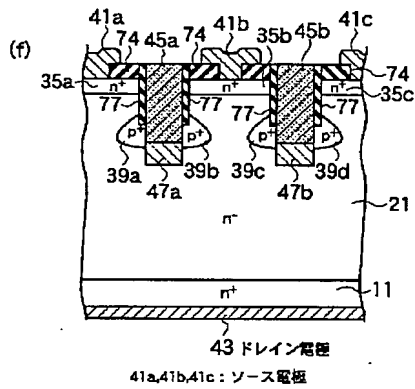
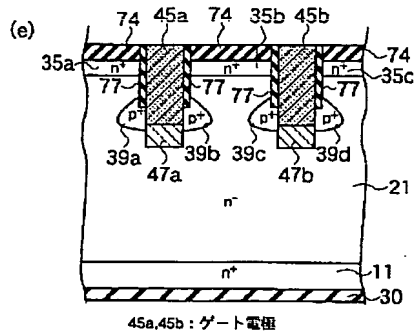
【図27】



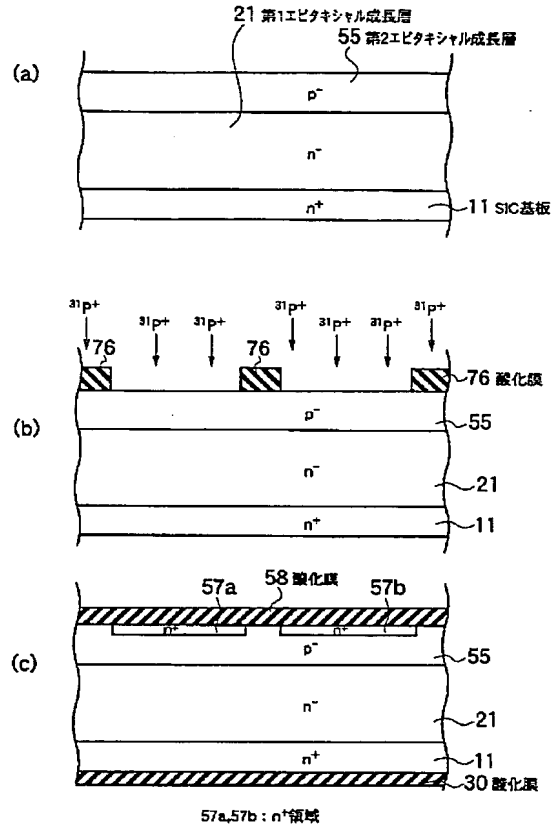
41a, 41b, 41c : ソース電極  
45a, 45b : ゲート電極  
63a~63d : ソース領域  
64a, 64b, 64c : ボディ領域  
64d, 64e : 電界緩和領域  
66a, 66b : 深部陥凹形拡散領域(電界緩和領域)  
71a, 71b : 絶縁膜

**THIS PAGE BLANK (USPTO)**

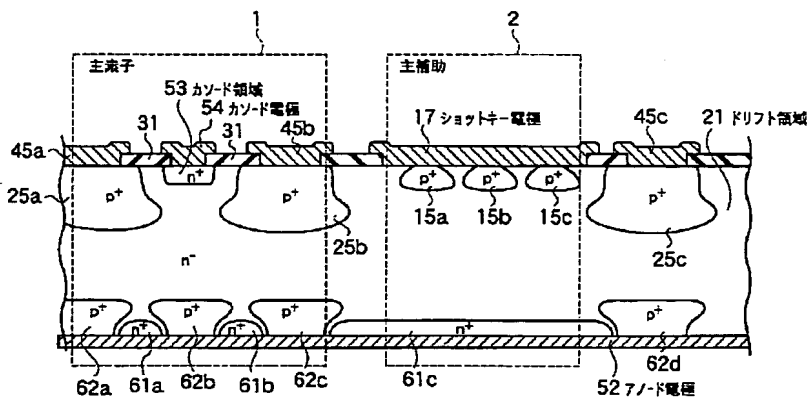
【図11】



【図12】



【図28】

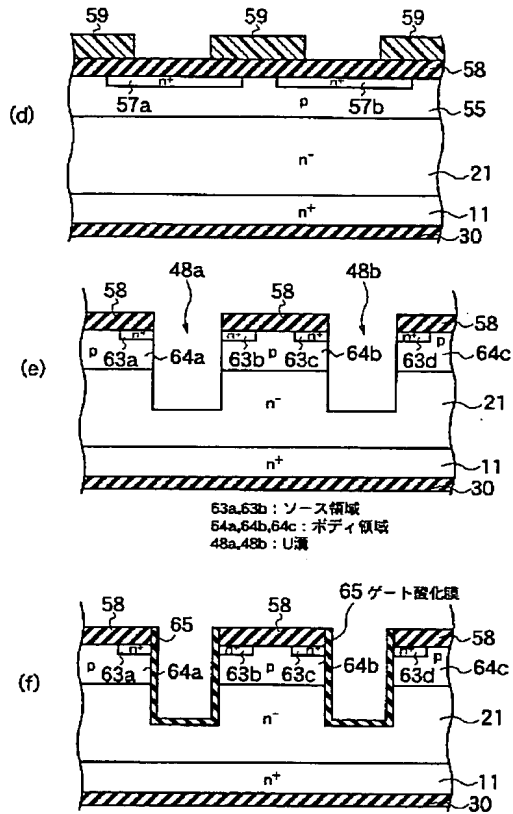


15a, 15b, 15c, 25a, 25b, 25c : 深部矩形拡散領域  
45a, 45b, 45c : ゲート電極  
61a, 61b, 61c : ショット電極  
62a, 62b, 62c, 62d : 分割アノード領域

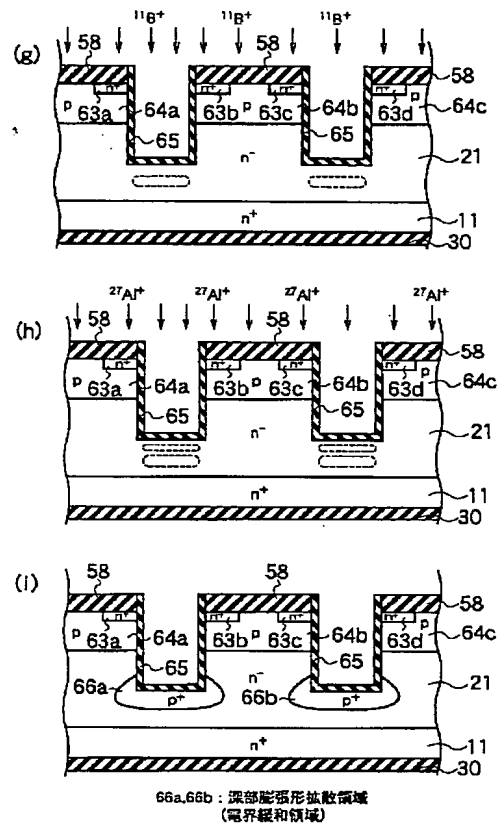
**THIS PAGE BLANK (USPTO)**



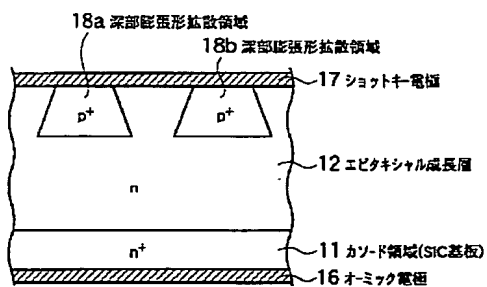
【図13】



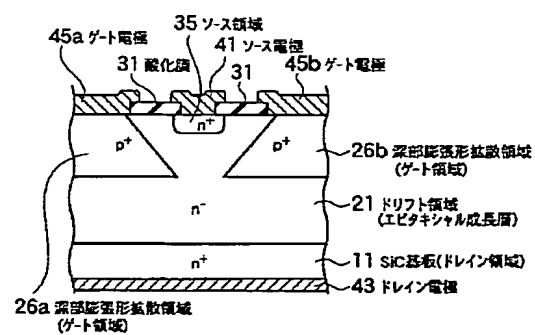
【図14】



【図29】



【図30】

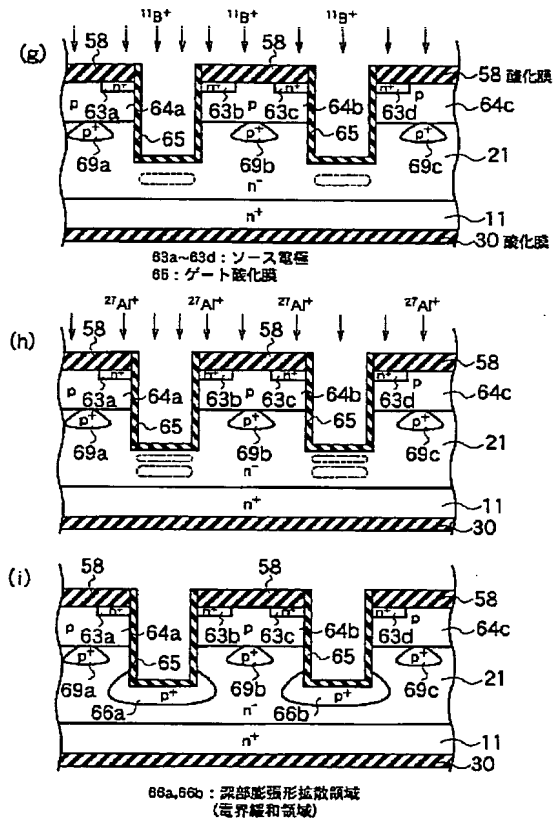


**THIS PAGE BLANK (USPTO)**

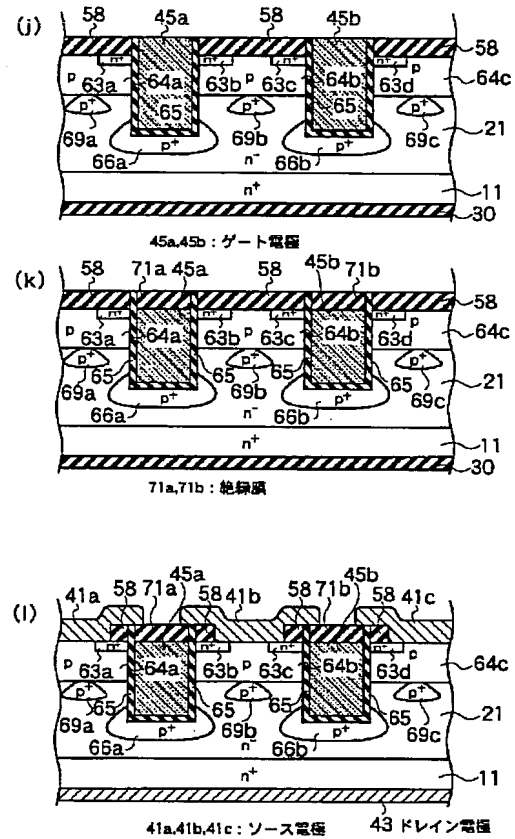


**THIS PAGE BLANK (USPTO)**

【図 17】

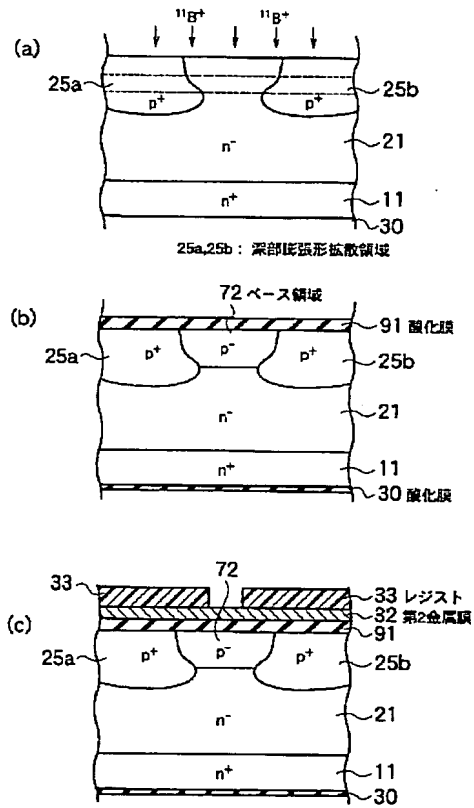


【図 18】

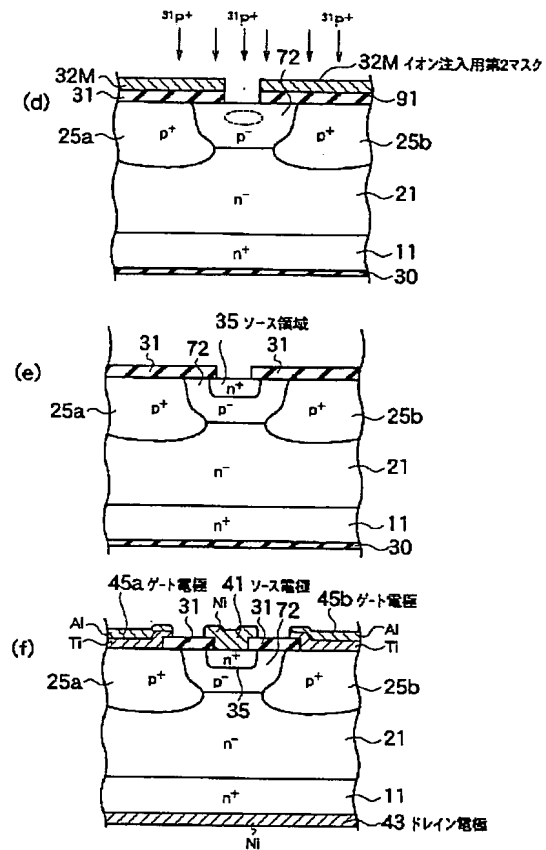


**THIS PAGE BLANK (USPTO)**

【図19】



【図20】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

FI

テーマコード (参考)

H01L 21/822  
29/161  
29/737  
29/74  
29/78

652

653

29/80

H01L 29/78  
21/265  
29/48  
29/80  
29/163  
29/74  
29/78  
29/72  
27/06

658E  
Z  
F  
F  
V  
M  
301V  
H  
T

**THIS PAGE BLANK (USFIC)**



F ターム(参考) 4M104 AA03 BB02 BB05 BB14 BB16  
BB25 BB26 CC01 CC03 CC05  
FF01 FF13 GG03 GG06 GG09  
GG11 GG18  
5F003 AP04 BE04 BF03 BF06 BG03  
BH08 BJ12 BJ93 BM01 BM04  
BP05 BZ01 BZ02 BZ03  
5F005 AC01 AE02 AE07 AE09 AF02  
AH02 GA01  
5F102 FA01 FB01 GB04 GC07 GC08  
GC09 GC10 GD04 GJ02 GL02  
GM02 GS03  
5F140 AA24 AA25 AA30 BA02 BC06  
BC12 BF43

**THIS PAGE BLANK (USPTO)**